

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月29日

出願番号

Application Number: 特願2002-250537

[ ST.10/C ]:

[ JP2002-250537 ]

出願人

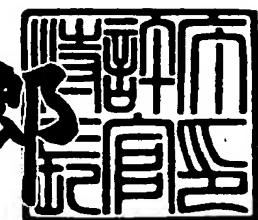
Applicant(s): 株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ  
日立デバイスエンジニアリング株式会社

2003年 2月28日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一



出証番号 出証特2003-3011610

【書類名】 特許願

【整理番号】 H02010801

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/92

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 金岡 卓

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 佐原 政司

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 深山 吉生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 江畑 雄太郎

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 橋口 和久

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 藤嶋 幸二

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体チップの正面のアクティブ領域内に配置された複数の電極パッドと、前記半導体チップの正面に配置された複数の配線層とを有し、前記複数の配線層のうち、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が均一になるようにしたことを特徴とする半導体装置。

【請求項2】 半導体チップの正面のアクティブ領域内に配置された複数の電極パッドと、前記半導体チップの正面に配置された複数の配線層とを有し、前記複数の配線層のうち、前記複数の電極パッドよりも下の配線層毎に、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が均一になるようにしたことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が50%以上であることを特徴とする半導体装置。

【請求項4】 請求項1、2または3記載の半導体装置において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率のばらつきが10%以内であることを特徴とする半導体装置。

【請求項5】 請求項1~4のいずれか1項に記載の半導体装置において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率のばらつきが5%以内であることを特徴とする半導体装置。

【請求項6】 半導体チップの正面のアクティブ領域内に配置された複数の電極パッドと、前記半導体チップの正面に配置された複数の配線層とを有し、前記複数の配線層のうち、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率のばらつきが10%以内であることを特徴とする半導体装置。

【請求項7】 半導体チップの正面のアクティブ領域内に配置された複数の電極パッドと、前記半導体チップの正面に配置された複数の配線層とを有し、

前記複数の配線層のうち、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が50%以上であることを特徴とする半導体装置。

【請求項8】 請求項1～7のいずれか1項に記載の半導体装置において、前記複数の電極パッドは複数のダミー電極パッドを含み、前記複数のダミー電極パッドのうちの少なくとも1つは、前記複数の電極パッドのうちの集積回路用の電極パッドよりも面積が大きいことを特徴とする半導体装置。

【請求項9】 半導体チップの正面のアクティブ領域内に配置された複数の電極パッドと、前記半導体チップの正面に配置された複数の配線層とを有し、

前記複数の電極パッドは、前記半導体チップの正面に形成された集積回路用の電極パッドと、ダミー電極パッドとを含み、前記集積回路用の電極パッドおよびダミー電極パッドの下層の半導体チップの正面に活性領域を設けたことを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、前記ダミー電極パッドの下層の前記活性領域はダミー活性領域であることを特徴とする半導体装置。

【請求項11】 請求項1～10のいずれか1項に記載の半導体装置において、前記複数の電極パッドの各々に突起電極を接合したことを特徴とする半導体装置。

【請求項12】 請求項1～11のいずれか1項に記載の半導体装置において、前記複数の電極パッドの平面領域内に、前記半導体チップの素子および配線から切り離され、フローティング状態であるダミー配線を配置したことを特徴とする半導体装置。

【請求項13】 請求項1～12のいずれか1項に記載の半導体装置において、前記複数の電極パッドの平面領域内に配置された配線の一部に配線除去部分を形成したことを特徴とする半導体装置。

【請求項14】 請求項1～13のいずれか1項に記載の半導体装置において、前記半導体チップの正面に液晶表示装置駆動用の回路を形成したことを特徴とする半導体装置。

【請求項15】 請求項1～14のいずれか1項に記載の半導体装置におい

て、

前記アクティブ領域内の半導体チップに半導体素子が形成されていることを特徴とした半導体装置。

【請求項16】 (a) 半導体基板の主面に分離部および活性領域を形成する工程、(b) 前記半導体基板の主面上に複数の配線層を形成する工程、(c) 前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の配線層のうち、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の配線の占有率が均一になるように配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項17】 (a) 半導体基板の主面に分離部および活性領域を形成する工程、(b) 前記半導体基板の主面上に複数の配線層を形成する工程、(c) 前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の配線層のうち、前記複数の電極パッドよりも下の配線層毎に、前記複数の電極パッドの平面領域内の配線の占有率が均一になるように配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項18】 請求項16または17記載の半導体装置の製造方法において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が50%以上であることを特徴とする半導体装置の製造方法。

【請求項19】 請求項16、17または18記載の半導体装置の製造方法において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率のばらつきが10%以内であることを特徴とする半導体装置の製造方法。

【請求項20】 請求項16～19のいずれか1項に記載の半導体装置の製造方法において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率のばらつきが5%以内であることを特徴とする半導体装置の製造方法。

【請求項21】 (a) 半導体基板の主面に分離部および活性領域を形成す

る工程、(b)前記半導体基板の主面上に複数の配線層を形成する工程、(c)前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の配線層は、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の配線の占有率のばらつきが10%以内になるように形成されることを特徴とする半導体装置の製造方法。

【請求項22】(a)半導体基板の主面に分離部および活性領域を形成する工程、(b)前記半導体基板の主面上に複数の配線層を形成する工程、(c)前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の配線層は、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の配線の占有率が50%以上になるように形成されることを特徴とする半導体装置の製造方法。

【請求項23】(a)半導体基板の主面に分離部および活性領域を形成する工程、(b)前記半導体基板の主面上に複数の配線層を形成する工程、(c)前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の電極パッドは、前記半導体基板の主面に形成された集積回路用の電極パッドと、ダミー電極パッドとを含み、前記集積回路用の電極パッドおよびダミー電極パッドの下層の半導体基板の主面に前記活性領域を形成することを特徴とする半導体装置の製造方法。

【請求項24】請求項23記載の半導体装置の製造方法において、前記ダミー電極パッドの下層の前記活性領域は、ダミー活性領域であることを特徴とする半導体装置の製造方法。

【請求項25】請求項16~24のいずれか1項に記載の半導体装置の製造方法において、前記(c)工程後、前記複数の電極パッドに突起電極を接合す

る工程を有することを特徴とする半導体装置の製造方法。

【請求項26】 請求項25記載の半導体装置の製造方法において、前記複数の電極パッドの突起電極とガラス基板の配線とを一括して圧接接合する工程を有することを特徴とする半導体装置の製造方法。

【請求項27】 請求項25記載の半導体装置の製造方法において、前記複数の電極パッドとテープに設けられたリードとを前記突起電極を介して一括して接合する工程を有することを特徴とする半導体装置の製造方法。

【請求項28】 請求項16～27のいずれか1項に記載の半導体装置の製造方法において、前記複数の電極パッドの平面領域内にダミー配線を形成することを特徴とする半導体装置の製造方法。

【請求項29】 請求項16～28のいずれか1項に記載の半導体装置の製造方法において、前記複数の電極パッドの平面領域内に配置された配線の一部に配線除去部分を形成することを特徴とする半導体装置の製造方法。

【請求項30】 (a) 半導体基板の主面に分離部および活性領域を形成する工程、(b) 前記半導体基板の主面上に複数の配線層を形成する工程、(c) 前記複数の配線層のうち、最上の配線を被覆するような絶縁膜を形成した後、その絶縁膜においてアクティブ領域内に前記最上の配線の一部が露出するような開口部を形成することにより、複数の電極パッドを形成する工程を有し、

前記複数の電極パッドは、前記半導体基板の主面に形成された集積回路用の電極パッドと、ダミー電極パッドとを含み、前記集積回路用の電極パッドおよびダミー電極パッドの下層の半導体基板の主面に前記活性領域を形成することを特徴とする半導体装置の製造方法。

【請求項31】 請求項30記載の半導体装置の製造方法において、前記ダミー電極パッドの下層の前記活性領域はダミー活性領域であることを特徴とする半導体装置の製造方法。

【請求項32】 請求項16～31のいずれか1項に記載の半導体装置の製造方法において、前記複数の配線層のうち、少なくとも前記複数の電極パッドが配置された配線層の下地を化学機械研磨法により研磨することを特徴とする半導体装置の製造方法。

【請求項33】 請求項16～32のいずれか1項に記載の半導体装置の製造方法において、前記半導体基板の主面に液晶表示装置駆動用の回路を形成することを特徴とする半導体装置の製造方法。

【請求項34】 請求項16～33のいずれか1項に記載の半導体装置の製造方法において、前記活性領域に半導体素子を形成することを特徴とする半導体装置の製造方法。

【請求項35】 (a) 半導体基板の主面のアクティブ領域内に配置された複数の電極パッドと、前記半導体基板の主面上に配置された複数の配線層と、前記複数の電極パッドの各々に突起電極とを有し、

前記複数の配線層は、前記複数の電極パッドよりも下の少なくとも1つの配線層において、前記複数の電極パッドの平面領域内の各々に配置される配線の占有率が均一に構成された半導体チップを準備する工程、

(b) 前記複数の電極パッドの突起電極とガラス基板の配線とを圧接接合する工程とを有することを特徴とする半導体装置の製造方法。

【請求項36】 請求項35記載の半導体装置の製造方法において、前記半導体基板の前記複数の電極パッドの形成面と、これに対向する前記ガラス基板の配線形成面との間に異方性導電膜を介在させた状態で、前記複数の電極パッドの突起電極とガラス基板の配線とを一括して圧接接合したことを特徴とする半導体装置の製造方法。

【請求項37】 請求項35または36記載の半導体装置の製造方法において、前記ガラス基板は、液晶パネルを搭載したガラス基板であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、突起電極を有する半導体装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

例えばLCD (Liquid Crystal Display) ドライバのように多ピンの半導体装置では、電極パッド数の増加によりチップサイズが増大する問題がある。これは、半導体チップ内の集積回路の電極を引き出す電極パッドの寸法は、接合強度の確保、接合精度あるいは半導体チップを実装する側の規格等により、素子や配線の寸法縮小に比べてあまり小さくできないことから、電極パッドの数や寸法によりチップサイズが決まってしまうことが原因である。そこで、多ピンの半導体装置では、例えば電極パッドを半導体チップのより内側の素子や配線等が配置されている領域（アクティブ領域）に配置する方式が採用されつつある。

#### 【0003】

なお、突起電極を有する半導体装置については、例えば特許第3022565号公報に開示があり、電極パッドの下方にダミーパターンを配置する技術が開示されている。

#### 【0004】

##### 【発明が解決しようとする課題】

ところが、上記アクティブ領域に電極パッドを配置する構造においては、以下の新規な課題があることを本発明者が初めて見出した。

#### 【0005】

すなわち、電極パッドの下方に素子や配線等が形成されており、電極パッドの下方の構造が各電極パッドによって異なるために、隣り合う電極パッド同士であっても、また、バンプの厚さが均一であっても、半導体チップの主面内における電極パッドの高さ、すなわち、電極パッドに接合される突起電極の高さが不均一になってしまふ結果、半導体チップの電極パッドと半導体チップを実装する実装体の配線との間で接合不良が発生するという問題がある。

#### 【0006】

本発明の目的は、半導体チップの主面内の複数の電極パッドの高さを揃えるようになることのできる技術を提供することにある。

#### 【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

すなわち、本発明は、半導体チップの正面の素子や配線等が配置された領域に配置された複数の電極パッドの下地の構造が均一になるようにしたものである。

【0010】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。以下、本発明の実施の形態を図面に基づき説明する。

【0011】

（実施の形態1）

本実施の形態では、半導体チップの素子または配線が配置されたアクティブ領

域に複数の電極パッド（以下、単にパッドという）を配置するアクティブ・オン・パッド構成の半導体装置において、上記複数のパッドの各々の下層の構造が均一になるようにされている。具体的には、第1に、各パッド領域内に配置されるパッド下層の配線の占有率（配線占有率）が各配線層毎に均一になるようとする。そのために、同一配線層の複数のパッド領域のうち、配線占有率が他のパッド領域の配線占有率と比べて少ない箇所ではダミー配線を配置する。また、同一配線層の複数のパッド領域のうち、配線占有率が他のパッド領域の配線占有率に比べて多い箇所では配線にスリット（配線の一部を除去した領域）を形成する。また、第2に、半導体チップの全てのパッド、すなわち、集積回路用のパッドと、ダミーパッドとの下層に活性領域を配置する。

## 【0012】

まず、上記ダミー配線の配置例を説明する。図1～図3は、パッドPD1～PD3の下層の所定同一配線層における配線MXa, MXb, MXc, MXd, MXeの要部平面図の一例を示している。また、図4～図6は、図1～図3の配線MXa～MXeのY1-Y1線、Y2-Y2線およびY3-Y3線の断面図を示している。パッドPD1～PD3は、上記バンプが接合される部分であり、同一の半導体チップのアクティブ領域の異なる位置に配置されている。各パッドPD1～PD3の平面寸法および平面形状は等しい。配線MXa, MXb, MXc, MXdは半導体チップの集積回路の構成に必要とされる信号または電源用の配線を示し、配線MXeは半導体チップの集積回路の構成には必要とされないダミー配線を示している。いずれの配線MXa～MXeも、例えばアルミニウム等を主体とする金属膜またはアルミニウム等を主体とする金属膜と他の導体膜との積層導体膜（例えばチタン(Ti)、窒化チタン(TiN)、アルミニウム等を主体とする金属膜および窒化チタンを下層から順に堆積した積層導体膜）をフォトリソグラフィ技術およびエッチング技術によりパターニングすることで絶縁膜ISa上に形成され、絶縁膜ISbで覆われている。ここでは、図3および図6に示すように、パッドPD3領域の本来、配線が配置されない領域にダミー用の配線MXeが配置されている。これにより、パッドPD3領域内の下層配線の占有率が、図1および図2のパッドPD1, PD2領域内の下層配線の占有率と等しく

なるようにされている。このため、図1～図3のパッドPD1～PD3領域内の下地の絶縁膜ISbの上面の高さを図4～図6に示すように揃えるようにすることができます。また、各パッドPD1～PD3領域内の下地の絶縁膜ISbの上面部分の平坦性を向上させることができます。

## 【0013】

ここで図3のダミー用の配線MXeは、他の配線と電気的に接続されていないフローティング状態の配線を想定しているが、ダミー配線は、集積回路の構成に必要とされる配線（ここでは配線MXd等）の一部をダミー配線の配置が必要とされる領域に延在させることで形成しても良い。この場合、配線自体はダミー配線ではないが、本実施の形態では、本来、配線を配置する必要性のない領域に本実施の形態の目的達成のために延在された配線部分をダミーとして捉えるものとする。また、図7および図8は、ダミー用の配線の配置の変形例を示している。図7は図1～図6で示した配線と同一層の配線の要部平面図の一例を示し、図8は図7の配線のY4-Y4線の断面図を示している。パッドPD4は、図1～図3のパッドPD1～PD3が配置された半導体チップの異なるアクティブ領域に配置されたパッドを示しており、その平面寸法および平面形状はパッドPD1～PD3と等しい。配線MXf, MXgは、半導体チップの集積回路の構成に必要とされる信号または電源用の配線を示し、配線MXhはダミー配線を示している。この場合、パッドPD4領域内の下層の配線MXf, MXgの占有率は図1～図3とほぼ等しく、配線占有率を揃えるという観点からはダミー配線を必要としないので、パッドPD4の領域内にはダミー配線が配置されていない。ここでは、ダミー用の配線MXhが、パッドPD4の外周近傍に配置されている。このダミー用の配線MXhを配置しないと、パッドPD4の外周近傍の絶縁膜ISbの上面が窪み、段差が生じるが、パッドPD4に接合されるバンプの平面積はパッドPD4よりも若干大きいので、上記パッドPD4の外周近傍の絶縁膜ISb上面の段差がバンプ電極上面に反映され、バンプの天辺の平坦性が損なわれ、また、他のバンプの天辺の高さよりも低くなる場合が生じる。そこで、パッドPD4の外周近傍にダミー用の配線MXhを配置することにより、パッドPD4の外周部の絶縁膜ISb上面に段差が形成されるのを防止でき、パッドPD4の上面の

平坦性を向上させ、パッドPD4の高さを確保することができるので、パッドPD4に接合されるバンプの天辺の高さを他のバンプの天辺の高さと等しくなるようにすることができる。なお、バンプの厚さが均一に形成される。すなわち、バンプの厚さのバラツキはほとんど無視できる。

## 【0014】

次に、上記スリットの配置例について説明する。図9～図11は、パッドPD5～PD7の下層の所定同一配線層における配線MXi, MXj, MXk, MXmの要部平面図の一例を示している。また、図12～図14は、図9～図11の配線MXi, MXj, MXk, MXmのY5-Y5線、Y6-Y6線およびY7-Y7線の断面図を示している。パッドPD5～PD7は、上記パッドPD1～PD3と同様なので説明を省略する。配線MXi, MXj, MXk, MXmは、半導体チップの集積回路の構成に必要とされる信号または電源用の配線を示している。配線MXi, MXj, MXk, MXmの材料や形成方法等は、上記配線MXa等と同じである。ここでは、図10、図11、図13および図14に示すように、配線MXk, MXmの一部にスリットSLが形成されている。スリットSLは、配線MXk, MXmの一部を除去することで形成されている。これにより、パッドPD6, PD7領域内の下層配線の占有率が、図9のパッドPD5領域内の下層配線の占有率と等しくなるようにされている。このため、図9～図11のパッドPD5～PD7領域内の下地の絶縁膜ISbの上面の高さを図12～図14に示すように揃えるようにすることができる。また、各パッドPD5～PD7領域内の下地の絶縁膜ISbの上面部分の平坦性を向上させることができる。スリットSLは、図10のように配線MXkの中央に形成しても良いし、図11のように配線MXmの外周から中央に向かって延びるように形成しても良い。ここでは、図10および図11のスリットSLが図9の配線MXi, MXjの隣接間の隙間の位置に合うように形成されている。これにより、パッドPD5～PD7の下地の状態をさらに同じような状態にすることができるので、パッドPD5～PD7領域内の下地の絶縁膜ISbの上面の高さおよび平坦性をさらに揃えることができる。

## 【0015】

また、図15および図16はスリットSLの変形例を示している。図15では、スリットSLの配線中央側端部を図15の下方向に折り曲げて延在させた例を示している。また、図16では、図16の上下方向（パッドPD6の長手方向）に延在する複数のスリットSLを互いに平行になるように形成した例を示している。また、図17～図19は、パッドPD8～PD10の下層の所定同一配線層における配線MXn, MXp, MXq, MXr, MXsの要部平面図の一例を示している。パッドPD8～PD10は、上記パッドPD1～PD3と同様なので説明を省略する。配線MXn, MXp, MXq, MXr, MXsは、半導体チップの集積回路の構成に必要とされる信号または電源用の配線を示しており、その材料や形成方法等は、上記配線MXa等と同じである。ここでは、図18および図19に示すように、スリットSLが図17の配線MXn, MXp, MXqの隣接間の隙間の位置に合うように形成されている。図19では、スリットSLが棒状に形成されている。なお、上記パッドPD1～PD10は、半導体チップの集積回路の構成に必要とされる信号または電源用のパッドの場合もあるし、上記集積回路の構成自体には必要とされないダミーパッドの場合もある。

#### 【0016】

このように本実施の形態では、ダミー配線やスリットを形成することにより、半導体チップの正面の全てのパッド領域内に配置されるパッド下層の配線の占有率が各配線層毎に均一になるようにされている。図20は、パッド領域内の下層配線の占有率について、本発明者が検討した技術（改善前）と、本実施の形態の技術（改善後）とを比較して例示した図である。改善前では、第1層配線M1、第2層配線M2および第3層配線M3のそれぞれの配線層で、各パッドPD1～PDnの領域内の配線面積占有率にばらつきがある。あるいはパッドPD1～PDnの下層に活性領域が有ったり無かったりする箇所がある。これらの理由からパッドPD1～PDn毎に下地の段差に違いが生じる結果、パッドPD1～PDnの高さにばらつきが生じる。半導体装置の製造工程では、例えば露光処理やエッチングを良好に行うために配線の下地の絶縁膜に対してエッチバック処理を施して平坦にしている。このため、露光処理やエッチングに対する観点からは下地の絶縁膜の上面の平坦性が充分に得られているが、パッドPD1～PDnの高さ

という観点からは、上記のようなエッチバック処理を施していてもパッド P D 1 ~ P D n の領域内の配線占有面積率のばらつきや活性領域の有無によりパッド P D 1 ~ P D n の高さのばらつきが大きくなってしまう場合がある。また、パッド P D 1 ~ P D n がアクティブ領域に配置されていることから、パッド P D 1 ~ P D n の下層にベタ配線を設けることにより下地の絶縁膜上面の平坦性を確保するという手法を採用することはできない。

## 【0017】

これに対して、本実施の形態（改善後）では、第1層配線M1、第2層配線M2および第3層配線M3のそれぞれの配線層毎に、各パッド P D 1 ~ P D n の領域内の配線面積占有率が均一になるようにされている。また、全てのパッド P D 1 ~ P D n の下に活性領域を配置する。これらにより、半導体チップの主面内（半導体装置の製造工程ではウエハの主面内）の複数のパッドの下地の状態をほぼ揃えることができるので、複数のパッドの上面の高さをほぼ均一にすることができる。このため、その各パッドに接合されるバンプ（突起電極）の天辺の高さをほぼ均一にすることができる。また、各パッドの上面の平坦性を向上できるので、これに接合されるバンプの天辺の平坦性を向上させることができ。したがって、半導体チップの複数のパッドと半導体チップを実装する実装体の複数の配線とをバンプを介して不具合無く良好に接続することが可能となる。また、各パッド下層の配線の形状、寸法、パターン配置位置および配置ピッチ等も互いに等しくなるように形成することができ。これにより、複数のパッドの下地の状態をさらに揃えることができ、複数のパッドの上面の高さおよび平坦性をさらに均一にすることができるので、その各パッドに接合されるバンプの天辺の高さおよび平坦性をさらに均一にすることができる。

## 【0018】

このように、本実施の形態においては、複数のパッドの上面の高さおよび平坦性をさらに均一にするため、複数のパッドの下地の状態を均一に揃えるようにしているが、完全に均一でない場合においても、ある程度の誤差の範囲内であればこの効果は失われるものではない。好ましくは、各パッド下の配線占有率がおよそ10%程度、より好ましくは5%程度の範囲内の誤差であればパッドの上面の

高さおよび平坦性をほぼ均一なものとすることができます。

### 【0019】

また、本実施の形態においては、各パッド下の配線層を第1層配線M1、第2層配線M2および第3層配線M3で記しているが、各配線層の配線占有率はおよそ50%以上であることが好ましい。これは、各パッド下に絶縁膜が多い場合、上面が窪み、段差が生じやすくなるが、絶縁膜よりも硬性の金属層を多く配置することで段差の変動が少なくなり、パッドの上面の高さおよび平坦性を均一にしやすくするためである。

### 【0020】

次に、上記活性領域の配置について説明する。図21および図22は、パッドPD11、PD12の下層の半導体基板（以下、単に基板という）1Sの要部平面図の一例を示している。また、図23および図24は、図21および図22のY8-Y8線および9-Y9線の断面図を示している。図21および図22では図面を見易くするため分離部2にハッチングを付す。この分離部2はたとえば基板1Sを酸化することで形成されるLOCOS（Local Oxidization of Silicon）、あるいは基板1Sに溝を形成し、その溝に絶縁膜を埋め込んで形成されたSTI（Shallow Trench Isolation）等であり、各活性領域を絶縁分離するために形成されている。パッドPD11は、半導体チップの集積回路の構成に必要とされる信号または電源用のパッドである。パッドPD11の下層には所定の素子が形成される活性領域Laが配置されている。一方、パッドPD12は、半導体チップの集積回路の構成には必要とされないダミーパッドである。ここでは、ダミー用のパッドPD12の平面寸法が、上記パッドPD11よりも大きい場合が例示されている。このダミー用のパッドPD12の下層にも活性領域Lbが配置されている。この活性領域Lbは、所定の素子を形成するために配置されたものではなく、上記のように半導体チップの複数のパッドの上面高さ（すなわち、複数のバンプの天辺の高さ）を揃えるために設けられたダミー用の活性領域である。このようにダミー用のパッドPD12を含む全てのパッドの下層に活性領域を配置することにより、全てのパッドの下地の絶縁膜上面における平坦性および高さを揃え易くすることができます。すなわち、複数のパッドの下地の状態をさらに揃

えることができ、複数のパッドの上面の高さおよび平坦性をさらに均一にすることができるので、その各パッドに接合されるバンプの天辺の高さおよび平坦性をさらに均一にすることができる。

## 【0021】

次に、本実施の形態の半導体装置の具体的な適用例を説明する。図25は、本実施の形態の半導体装置を構成する半導体チップ1Cの全体平面図の一例を示している。この半導体チップ1Cは、例えば細長い長方形形状に形成された基板1Sを有しており、その正面には、例えば液晶表示装置（LCD : Liquid Crystal Display）を駆動するLCDドライバ回路が形成されている。このLCDドライバ回路は、LCDのセルアレイの各画素に電圧を供給して液晶分子の向きを制御する機能を有しており、ゲート駆動回路3、ソース駆動回路4、液晶駆動回路5、グラフィックRAM(Random Access Memory)6および周辺回路7を有している。半導体チップ1Cの外周近傍には、上記した複数のパッドPDが半導体チップ1Cの外周に沿って所定の間隔毎に配置されている。これら複数のパッドPDは、半導体チップ1Cの素子や配線が配置されたアクティブ領域上に配置されている。これら複数のパッドPDの中には集積回路の構成に必要な集積回路用のパッドと、その他に集積回路の構成には必要とされないダミーパッドとが存在する。半導体チップ1Cの1つの長辺および2つの短辺近傍には、上記パッドPDが千鳥配置されている。この千鳥配置されている複数のパッドは、主としてゲート出力信号用およびソース出力信号用のパッドである。半導体チップ1Cの長辺の中央の千鳥配置された複数のパッドPDがソース出力信号用のパッドであり、半導体チップ1Cの長辺の両角近傍側および半導体チップ1Cの両短辺の千鳥配置された複数のパッドPDがゲート出力信号用のパッドである。このような千鳥配置により、半導体チップ1Cのサイズ増大を抑えつつ、多くの数を必要とするゲート出力信号やソース出力信号用のパッドを配置することができる。すなわち、チップサイズを縮小させ、かつパッド（ピン）数を増やすことができる。また、半導体チップ1Cの他方の長辺近傍に千鳥配置ではなく並んで配置された複数のパッドPDは、デジタル入力信号またはアナログ入力信号用のパッドである。また、半導体チップ1Cの四隅近傍には、平面寸法が相対的に大きなパッドPDが配

置されている。この相対的に大きなパッドPDは、コーナーダミーパッドである。相対的に小さなパッドPDの平面寸法は、例えば $35\mu m \times 50\mu m$ 程度である。また、相対的に大きなパッドPD（コーナーダミーパッド）の平面寸法は、例えば $80\mu m \times 80\mu m$ 程度である。また、パッドPDの隣接ピッチは、例えば $30\mu m \sim 50\mu m$ 程度である。また、パッドPDの総数は、例えば800個程度である。

## 【0022】

次に、本実施の形態の半導体装置における上記パッドPDの下層の状態を図26～図45により説明する。ここでは、第3層配線構造を有する半導体装置を例示している。最上の第3配線層に上記パッドPDが形成されている。図26～図31は、パッドPD13～PD18(PD)の直下の第2配線層における配線M2の要部平面図の一例を示し、図32～図37は、上記図26～図31と同じパッドPD13～PD18(PD)の下層の第1配線層における配線M1の要部平面図の一例を示し、図38～図43は、上記図26～図31と同じパッドPD13～PD18(PD)の下層の基板正面の要部平面図の一例を示している。また、図44は、図27、図33および図39のY10-Y10線の断面図を示し、図45は、図29、図35および図41のY11-Y11線の断面図を示している。パッドPD13、PD14は、例えばゲート出力信号用のパッドPDである。パッドPD13は、千鳥配置されたパッドのうちの外側（半導体チップ1Cの外周により近い側）のパッドを示し、パッドPD14は千鳥配置されたパッドのうちの内側（半導体チップ1Cの中心により近い側）のパッドを示している。パッドPD15は、例えばソース出力信号用のパッドPDであって、千鳥配置されたパッドのうちの内側のパッドを示している。パッドPD16は、例えば上記コーナーダミーパッドである。パッドPD17、PD18は、例えばアナログ入力信号用のパッドPDである。なお、ここでは説明のため一部のパッドPD13～PD18を抜き出して示したが、実際には全てのパッドPDに対して本実施の形態の構成が適用されている。また、図面を見易くするため第1層配線M1、第2層配線M2および分離部2にハッティングを付した。

## 【0023】

まず、パッドPD13～PD18の直下の第2層配線M2について図26～図31により説明する。パッドPD13～PD18の直下の第2層配線M2では、例えば形状、寸法および配線パターンの位置関係等が、図26と図27の第2層配線M2や図30と図31の第2層配線M2のように、同じになるように、あるいは似せて形成されている。また、パッドPD直下の第2層配線M2同士の形状、寸法または配線パターンの位置関係が異なっていても、複数のパッドPD13～PD18領域内の第2層配線M2の占有率（配線占有率）が等しくなるようにスリットSLやダミー配線が形成されている領域もある。なお、パッドPD領域内の第2層配線M2の中には、実際に半導体チップの集積回路の構成に必要な第2層配線M2と、その他に、集積回路の構成自体には必要とされないが上記したパッド領域内の占有率が等しくなるようにする観点から配置されたダミー用の第2層配線M2（配線全体がダミーでありフローティング状態とされている場合の他、集積回路用の配線の一部で形成されている場合もある）が存在する場合もある。

#### 【0024】

次に、パッドPD13～PD18の下層の第1層配線M1について図32～図37により説明する。パッドPD13～PD18の下層の第1層配線M1でも、例えば形状、寸法および配線パターンの位置関係等が、図32と図33の第1層配線M1や図36と図37の第1層配線M1のように、同じになるように、あるいは似せて形成されている。また、形状、寸法または配線パターンの位置関係が異なっていても、複数のパッドPD13～PD18領域内の第1層配線M1の占有率（配線占有率）が等しくなるようにスリットSLやダミー配線が形成されている領域もある。なお、パッドPD領域内の第1層配線M1の中にも、実際に半導体チップの集積回路の構成に必要な第1層配線M1と、その他に、集積回路の構成自体には必要とされないが上記したパッド領域内の占有率が等しくなるようにする観点から配置されたダミー用の第1層配線M1（配線全体がダミーでありフローティング状態とされている場合の他、集積回路用の配線の一部で形成されている場合もある）が存在する場合もある。

#### 【0025】

このように、本実施の形態では、パッドPD下の全ての配線層においてその配線層（ここでは第1、第2配線層）毎に、パッドPD領域内の配線の占有率が均一になるようにしたことにより、半導体チップ1Cの正面内の複数のパッドPDの上面の高さをほぼ均一にすることができる。このため、その各パッドPDに接合されるバンプの天辺の高さをほぼ均一にすることができる。また、各パッドPDの上面の平坦性を向上できるので、これに接合されるバンプの天辺の平坦性を向上させることができる。したがって、半導体チップ1Cの複数のパッドPDと半導体チップ1Cを実装する実装体の複数の配線とをバンプを介して不具合無く良好に接続することが可能となる。

## 【0026】

次に、パッドPD13～PD18の下層の基板1Sの正面状態について図38～図43により説明する。本実施の形態では、半導体チップ1Cの全てのパッドPDの下層に活性領域La, Lbを設けている。活性領域は、基板1Sの正面に素子領域を形成するために分離部2で規定された領域である。したがって、ダミーパッドの下には一般的に活性領域を設ける必要がないが、本実施の形態では、半導体チップ1Cの正面内の複数のパッドPDの上面高さ、すなわち、複数のバンプの天辺の高さが均一になるようにするために、ダミーパッド（パッドPD16等）の下にも活性領域Lbを設けている。このようにダミー用のパッドPDを含む全てのパッドの下層に活性領域を配置することにより、全てのパッドPDの下地の絶縁膜上面における平坦性および高さを揃えるようにすることができる。すなわち、複数のパッドPDの下地の状態をさらに揃えることができ、複数のパッドPDの上面の高さおよび平坦性をさらに均一にすることができるので、その各パッドPDに接合されるバンプの天辺の高さおよび平坦性をさらに均一にすることができる。

## 【0027】

次に、半導体装置の断面構造を図44および図45により説明する。基板1Sは、例えばP型のシリコン（Si）単結晶からなり、その正面のデバイス形成面には、分離部2が形成され上記活性領域Laおよびダミーの活性領域Lbが規定されている。分離部2は、例えばLOCOS（Local Oxidization of Silicon）

法によって形成された酸化シリコン（ $\text{SiO}_2$ 等）膜からなる。ただし、分離部2を溝型（SGI：Shallow Groove IsolationまたはSTI：Shallow Trench Isolation）の分離部2で形成しても良い。

## 【0028】

図44に示すパッドPD14下層の基板1Sの分離部2に囲まれた活性領域Laには、例えばpn接合ダイオードDが形成されている。このpn接合ダイオードDは、例えば静電破壊防止用の保護ダイオードであり、基板1SのpウェルPWLとその上部のn型の半導体領域8とのpn接合により形成されている。基板1Sの主面上には、例えば酸化シリコン膜からなる絶縁膜IS1が形成されている。その上には、第1層配線M1が形成されている。第1層配線M1は、例えばチタン（Ti）、窒化チタン（TiN）、アルミニウム（またはアルミニウム合金）および窒化チタン（TiN）が下層から順に堆積される構成を有している。このアルミニウムまたはアルミニウム合金等の膜が主配線材料であり、最も厚く形成されている。また、その主配線材料の下層のチタンおよび窒化チタンは、アルミニウムが基板1S側に移動したり逆に基板1Sのシリコンが配線側に移動するのを抑制するバリア機能、絶縁膜IS1と第1層配線M1との密着性を向上させたりする機能さらにはエレクトロマイグレーションやストレスマイグレーションによる配線断線不良を抑制または防止する機能を有する機能膜である。さらに、主配線材料の上層の窒化チタンは、上記機能の他に、露光処理時にハレーションを抑制または防止する反射防止膜としての機能を有する機能膜である。第1層配線M1は、絶縁膜IS1に形成された平面円形状の複数のコンタクトホールCNTを通じてn型の半導体領域8と、すなわち、pn接合ダイオードD1と接続されている。第1層配線M1は、例えば酸化シリコン膜からなる絶縁膜IS2によって覆われている。本実施の形態では、上記複数のパッド領域内の絶縁膜IS2上面の高さが揃うようになっている。また、上記複数のパッド領域内の絶縁膜IS2の上面は高い平坦性が得られている。この絶縁膜IS2上には、第2層配線M2が形成されている。第2層配線M2の材料構成は、上記第1層配線M1と同じである。第2層配線M2は、絶縁膜IS2に形成された平面円形状の複数のスルーホールTH1を通じて第1層配線M1と電気的に接続されている。第2層

配線M2は、例えば酸化シリコン膜からなる絶縁膜IS3によって覆われている。本実施の形態では、上記複数のパッド領域内の絶縁膜IS3上面の高さが揃うようになっている。また、上記複数のパッド領域内の絶縁膜IS3の上面は高い平坦性が得られている。その絶縁膜IS3上には、第3層配線M3が形成されている。第3層配線M3は、絶縁膜IS3に形成された平面円形状の複数のスルーホールTH2を通じて第2層配線M2と電気的に接続されている。さらに、第3層配線M3は、表面保護用の絶縁膜IS4によってその大半が覆われているが、第3層配線M3の一部は絶縁膜IS4の一部に形成された平面長方形形状の開口部9から露出されている。この開口部9から露出された第3層配線M3部分がパッドPD14(PD)となっている。本実施の形態では、複数のパッド領域内の絶縁膜IS2, IS3の上面高さが均一になるように形成されているので、パッドPDの上面高さも均一になるように形成される。表面保護用の絶縁膜IS4は、例えば酸化シリコン膜の単体膜、酸化シリコン膜上に窒化シリコン膜が積み重ねた構造を有する積層膜あるいは酸化シリコン膜上に窒化シリコン膜およびポリイミド膜を下層から順に積み重ねた構造を有する積層膜からなる。パッドPD14(PD)は、開口部9を通じて下地金属膜10を介してバンプ11と接合されている。下地金属膜10は、バンプ11とパッドPDや絶縁膜IS4との接着性を向上させる機能の他、バンプ11の金属元素が第3層配線M3側に移動することや反対に第3層配線M3の金属元素がバンプ11側に移動するのを抑制または防止するバリア機能を有する膜であり、例えばチタン(Ti)またはチタンタングステン(TiW)等のような高融点金属膜の単体膜やチタン膜上にニッケル(Ni)膜および金(Au)を下層から順に積み重ねた構造を有する積層膜からなる。下地金属膜10の平面寸法は、パッドPD14(PD)の開口部9よりも若干大きく、バンプ11とほぼ同じであり、例えば $40\mu m \times 70\mu m$ 程度である。バンプ11は、例えば金(Au)等からなり、例えばメッキ法によって形成されている。バンプ11の材料として、例えば鉛(Pb)-錫(Sn)半田を用いることもできる。

## 【0029】

一方、図45に示すダミー用のパッドPD16下層の基板1Sには上記のよう

に活性領域 L b が形成されているが、その活性領域 L b には、特に素子は形成されていない。もちろん、他のパッド PD と同様にダイオードや他の素子を形成したり、 p ウエルや n ウエル等を設けても良い。このダミー用のパッド PD 1 6 下層の第 2 層配線 M 2 と第 1 層配線 M 1 とは複数のスルーホール TH 1 を通じて電気的に接続されている。パッド PD 1 6 は、ダミーなのでその下層の第 2 層配線 M 2 と第 1 層配線 M 1 とを電気的に接続する必要はないが、第 1 層配線 M 1 においては、他のパッド PD の下層の構造と同じようにするために、パッド PD 1 6 の下層にも複数のスルーホール TH 1 が配置されている。これにより、ダミー用のパッド PD 1 6 の上面高さを他のパッド PD の上面高さにさらに近づけることができる。すなわち、ダミー用のパッド PD 1 6 に接合されるバンプ 1 1 の天辺の高さを、他のパッド PD に接合されるバンプ 1 1 の天辺の高さにさらに近づけることができる。

### 【0030】

次に、この半導体装置の製造工程の一例を説明する。平面略円形状のウエハを構成する基板 1 S の主面に、例えば LOCOS 法によって分離部 2 を形成し、活性領域 L a, L b を形成した後、分離部 2 に囲まれた活性領域 L a に素子を形成する。ダミー用のパッド PD 1 6 下の活性領域 L b には素子を形成しない。続いて、基板 1 S の主面上に絶縁膜 I S 1 を CVD (Chemical Vapor Deposition) 法等によって堆積した後、絶縁膜 I S 1 の所定の箇所に平面円形状のコンタクトホール CNT をフォトリソグラフィ技術およびドライエッチング技術によって形成する。その後、その絶縁膜 I S 1 上に、例えば窒化チタン、チタン膜、アルミニウム膜および窒化チタン膜を下層から順にスパッタリング法等によって堆積した後、その積層金属膜をフォトリソグラフィ技術およびドライエッチング技術によりパターニングすることにより第 1 層配線 M 1 を形成する。次いで、同様に絶縁膜 I S 1 上に絶縁膜 I S 2 を堆積し、絶縁膜 I S 2 にスルーホール TH 1 を形成後、その絶縁膜 I S 2 上に第 1 層配線 M 1 と同様に第 2 層配線 M 2 を形成する。続いて、同様に絶縁膜 I S 2 上に絶縁膜 I S 3 を堆積し、絶縁膜 I S 3 にスルーホール TH 2 を形成後、その絶縁膜 I S 3 上に第 1 層配線 M 1 と同様に第 3 層配線 M 3 を形成する。これら各層の配線層には、上述したように配線の占有率を

揃えるため、スリットSLが設けられることがある（図示はしない）。例えば、第1配線層M1を形成した後に、フォトリソグラフィ技術およびドライエッティング技術によりパターニングすることにより第1配線層M1に溝を形成し、絶縁膜IS2を堆積する工程によって溝内部にも絶縁膜IS2が埋め込まれることでスリットSLを形成することができる。他の配線層、第2配線層M2および第3配線層M3にスリットSLを形成する場合も同様の方法で形成することができる。その後、絶縁膜IS3上に表面保護用の絶縁膜IS4を堆積した後、絶縁膜IS4に、第3層配線M3の一部が露出される開口部9を形成し、パッドPDを形成する。次いで、絶縁膜IS4上に、例えばチタンまたはチタンタングステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金膜を下層から順に積み重ねた構造を有する積層膜からなる導体膜をスパッタリング法等によって堆積した後、その上にバンプ形成領域が露出され、それ以外が覆われるようなフォトレジストパターンを形成する。続いて、例えば金等からなるバンプ11をメッキ法等によって形成した後、フォトレジストパターンを除去し、さらに下地の導体膜をエッティング除去することにより、下地金属膜10を形成する。このようにしてパッドPD上にバンプ11を有する半導体装置を製造する。このような半導体装置の製造工程において、絶縁膜IS1～IS3の上面をエッチバック法や化学機械研磨（CMP Chemical Mechanical Polishing）法によって平坦にすることにより、半導体チップ1Cの主面内の複数のパッドPDの上面高さ、すなわち、バンプ11の天辺の高さがさらに均一になるようにでき、また、各パッドPD上面の平坦性を向上させることができる。上記エッチバック法を採用する場合には、例えば絶縁膜IS1を堆積後その上面をエッチバックし、その上に絶縁膜IS2を堆積後その上面をエッチバックするというように、各絶縁膜IS1～IS3毎に異方性のドライエッティング法によりエッチバックを施すことが好ましい。また、上記CMP法を採用する場合は、各絶縁膜IS1～IS3毎に施しても良いが、パッドPDが形成される下地の絶縁膜IS3の上面に対してのみCMPを施すだけでも充分な効果が得られる。すなわち、各絶縁膜IS1～IS3形成後にエッチバックまたはCMP、もしくは絶縁膜IS3の上面に対してのみCMPを行ふことで、バンプ11の天辺の高さの均一性を高めることができる。

## 【0031】

次に、図46は、図25に示した本実施の形態の半導体装置の各パッドPDの下の各配線層毎の配線占有率を示している。また、図47は、図46の第1層配線の占有率を棒グラフで示している。また、図48は、図46の第2層配線の占有率を棒グラフで示している。各配線層毎にパッドPD下の配線の面積占有率が等しくなるようにされている。改善前の半導体チップ1Cの主面内におけるバンプ11の天辺の高さばらつき( $4\sigma$ )は、ロット内平均で、例えば $1.5\mu m$ 程度であるのに対して、本実施の形態では、半導体チップ1Cの主面内におけるバンプ11の天辺の高さばらつき( $4\sigma$ )が、ロット内平均で、例えば $0.85\mu m$ 程度とされ、 $4\sigma < 1.0\mu m$ を達成できた。また、半導体チップ1Cの主面内のパッドPDの高低差(最も高いものと最も低いとの差)は、例えば $0.3\mu m$ 程度とされた。また、半導体チップ1Cの主面内のバンプ11の高低差は、例えば $3.0\mu m$ 程度とされた。この時のパッドPD下の配線の面積占有率のばらつきは、例えば3%程度である。本発明者の検討によれば、パッドPD下の配線の面積占有率のばらつきが、10%以内、好ましくは5%以内の場合が良い。また、パッドPD下の配線の面積占有率が、50%(パッドPDの領域の半分)以上を占めることが好ましい。また、上記CMP処理を施した場合、半導体チップ1Cの主面内におけるバンプ11の天辺の高さばらつき( $4\sigma$ )は、ロット内平均で、例えば $0.78\mu m$ 程度、バンプ11の高低差は、例えば $2.3\mu m$ 程度とされた。なお、 $4\sigma$ は、半導体チップ1Cの主面内における数カ所(例えば60箇所)のバンプ高さを統計処理して算出したバンプ高さのばらつきを示す値である。また、この時のバンプ高さは、所定の基準位置からバンプ11の天辺までの距離をいう。ここでは、所定の基準位置を表面保護用の絶縁膜IS4の上面としたが、基板1Sの主面を基準位置としても良い。

## 【0032】

次に、本実施の形態の半導体装置を組み込んだLCDの一例を説明する。図49はLCD15の要部平面図、図50は図49の要部断面図、図51は図50の要部拡大断面図、図52は図51の要部拡大断面図を示している。LCD15は、液晶パネル16、LCD駆動用の半導体チップ1Cおよびバックライトを有し

ている。液晶パネル16は、平面四角形状の2枚のガラス基板16a, 16bと、ガラス基板16a、16bの外周の間のシール部16cと、2枚のガラス基板16a, 16bの間に封じ込められた液晶材16dと、液晶パネル16の表裏面に貼り付けられた偏光板とを有している。LCD15には、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたアクティブ型と、単純マトリクス型（STN：Super-Twisted-Nematic）のパッシブ型とがある。アクティブ型の場合、ガラス基板（実装体）16aには、画面に文字や絵等を表示するための最小単位である画素の配列と、その画素を駆動するためのゲート線およびソース線等のような配線17が形成されている。この場合、複数の画素の各々は、TFTとキャパシタとを有している。また、アクティブ型の場合、ガラス基板16bにはカラーフィルタが形成されている。そして、この場合、ガラス基板16a, 16bの材料は、例えば無アルカリガラスが用いられている。一方、パッシブ型の場合、ガラス基板16a, 16bには、互いに直交する方向に延びる配線17が形成されている。また、偏光板の他に位相差板が配置される。この場合、ガラス基板16a, 16bの材料は、例えばソーダライムまたは低アルカリガラスが用いられている。アクティブ型でもパッシブ型でも、配線17には、例えばインジウムと錫との酸化物からなる透明導電膜（ITO：Indium Tin Oxide film）が使用されている。また、いずれの場合も半導体チップ1Cは、そのバンプ11の形成面をガラス基板16aの主面（配線17の形成面）に向けた状態で、例えば異方性導電フィルム（ACF：Anisotropic Conductive Film）18を介してガラス基板16a上に接続されている（COG：Chip On Glass）。異方性導電フィルム18は、例えばエポキシ系樹脂等のような熱硬化性樹脂からなる絶縁性接着剤18a中にカーボンブラック、ニッケル微粒子またはボール半田等のような導電粒子18bを分散または配向した電気接続材料である。半導体チップ1Cのバンプ11とガラス基板16aの配線17とは、その間に潰された状態で介在された導電粒子18bによって電気的に接続されている。このACFに代えて異方性導電ペースト（ACP：Anisotropic Conductive Paste）を用いても良い。また、ガラス基板16aの外周の配線17には、フレキシブル基板19を介してプリント基板20が電気的に接続されている。フレキシブル基板19は、例えばポリ

イミド樹脂等からなる基板本体19aと、その表面に接合された銅(Cu)を主体とする配線19bとを有している。フレキシブル基板19の配線19bの一端は、上記半導体チップ1Cと上記と同じ要領で異方性導体フィルム18を介してガラス基板16a上の配線17と電気的に接続されている。一方、配線19bの他端は、プリント基板20の配線と半田21等によって電気的に接続されている。プリント基板20には、半導体チップ1CのLCDドライバ回路の動作を制御する制御回路用の半導体チップやその他の電子部品等が搭載されている。

### 【0033】

半導体チップ1Cをガラス基板16a上に実装するには、例えば次のようにする。まず、ガラス基板16a上に異方性導電フィルム18を貼り付けた後、半導体チップ1Cのバンプ11形成面をガラス基板16a側に向けて、そのバンプ11を配線17に位置合わせする。続いて、半導体チップ1Cのバンプ11を異方性導電フィルム18を介して配線17に所定の圧力で押し付け、加熱した状態を数十秒程度保持することによって複数のバンプ11と複数の配線17とを圧接状態で一括して接続する。この加熱・加圧工程で接着剤が溶融、流動することによって半導体チップ1Cとガラス基板16aの隙間が充填され半導体チップ1Cの封止が行われる。また、異方性導電フィルム18中の導電粒子18bは、バンプ11と配線17との間に捕捉され、捕捉された導電粒子によってバンプ11と配線17とが電気的に接続される。このようなACF(またはACP)を用いた接続方式に代えて、NCP(Non Conductive Paste)を用いた接続方式を採用しても良い。NCP接続は、ACP接続の導電粒子の無い接続構造をした絶縁ペースト(絶縁性接着剤)による接続方式である。NCP接続の場合も、半導体チップ1Cの実装方法自体は上記ACFやACPを用いた場合と同じであるが、NCPでは、ACPのような導電粒子を媒体とする接続ではなく、バンプ11と配線17とを直接圧接させて、その圧接状態のまま絶縁性接着剤により固定される。ACF、ACPおよびNCPは、実装時の加圧力や加熱温度がバンプ11を溶融することで接合する方式に比べて低いので、バンプ11の高さのばらつきや表面平坦性が、バンプ11と配線17との接合の安定性を得る上で重要な要素である。したがって、半導体チップ1Cの主面内のバンプ11の高さ揃えることができ、

また、各バンプ11において高い表面平坦性が得られる上記本実施の形態を用いることは半導体チップ1Cの主面内の複数のバンプ11と複数の配線17とを良好に接続する上で有効である。特に、NCPにおいては、バンプ11と配線17との間に導電粒子が介在されないので、バンプ11の高さのばらつきや表面平坦性がバンプ11と配線17との接合の安定性を得る上で大きく作用することから、上記本実施の形態を用いることは複数のバンプ11と複数の配線17とを良好に接続する上でさらに有効である。したがって、本実施の形態によれば、半導体チップ1CをLCD15にCOG実装する際の組立不良率を低減できる。

## 【0034】

## (実施の形態2)

本実施の形態では、例えばTCP (Tape Carrier Package) に適用した場合について説明する。図53は、TCPの要部斜視図、図54は図53のTCPのインナーリード側の要部拡大断面図である。

## 【0035】

TCPは、ベーステープ(実装体)25と、その表面に形成された複数のリード26と、そのリード26のインナーリード26a先端にバンプ11を介して接続された半導体チップ1Cと、半導体チップ1Cおよびインナーリード26a等を封止する封止部27、ベーステープ25の表面のリード26の一部を覆うソルダレジスト28とを有している。ベーステープ25は、例えばポリイミド樹脂等からなる。リード26は、例えば銅(Cu)と錫(Sn)との合金からなり、その表面には半田(Pb-Sn)または金(Au)のメッキ処理が施されている。リード26において封止部27で覆われている部分のインナーリード26aと、封止部27から露出されているアウターリード26bとは一体的に形成されている。封止部27は、例えばエポキシ系樹脂からなる。

## 【0036】

半導体チップ1Cをベーステープ25上に実装するには、例えば次のようにする。まず、半導体チップ1Cを、その主面(複数のバンプ11の形成面)を上にしてボンディングステージ上に載置した後、半導体チップ1Cの主面内のバンプ11とベーステープ25のインナーリード26aとを位置合わせする。続いて、

複数のインナーリート26aを、所定温度に加熱したボンディングツールによって複数のバンプ11に押し付けて、複数のインナーリート26aと複数のバンプ11とを一括して圧着接合する。インナーリード26aの表面に半田メッキが施されていればインナーリード26aとバンプ11とは金-錫共晶合金により接合され、また、インナーリード26aの表面に金メッキが施されていれば、インナーリード26aとバンプ11とは金-金接合により接合される。

#### 【0037】

次に、図55は図53のTCPをLCD15に実装した状態の要部断面図である。TCPの一方の長辺側のリード26（アウターリード26b）は、異方性導電フィルム18を介してLCD15の配線17と上記したのと同じように電気的に接続されている。一方、TCPの他方の長辺側のリード26（アウターリード26b）は、半田21によってプリント基板20の配線29と電気的に接続されている。半田21に代えて異方性導電フィルム18を使用しても良い。

#### 【0038】

本実施の形態においても、半導体チップ1Cの主面内の複数のバンプ11の高さが均一となっており、また、各バンプ11の表面の平坦性が高いので、半導体チップ1Cの複数のバンプ11とTCPの複数のインナーリード26aとを良好に接続することができる。したがって、本実施の形態によれば、半導体チップ1Cをテープキャリアに実装する際の組立不良率を低減できる。

#### 【0039】

##### （実施の形態3）

本実施の形態においては、例えばCOF（Chip On Film）に適用した場合について説明する。

#### 【0040】

図56は本実施の形態の半導体装置をCOFでLCD15に実装した状態の要部断面図である。フレキシブル基板（実装体）19の複数の配線19bは、異方性導電フィルム18を介してLCD15の配線17と上記したのと同じように電気的に接続されている。また、フレキシブル基板19の配線19bには、バンプ11を介して半導体チップ1Cが電気的に接続されている。また、配線19bに

は、他の電子部品30が、半田バンプ31を介して電気的に接続されている。電子部品30には、半導体チップ1Cの動作を制御する制御回路等が形成されている。半導体チップ1Cをフレキシブル基板19に実装する方法は、前記実施の形態1と同じである。

## 【0041】

本実施の形態においても、半導体チップ1Cの主面内の複数のバンプ11の高さが均一となっており、また、各バンプ11の表面の平坦性が高いので、半導体チップ1Cの複数のバンプ11とフレキシブル基板19の複数の配線19bとを良好に接続することができる。したがって、本実施の形態によれば、半導体チップ1Cをフレキシブル基板19に実装する際の組立不良率を低減できる。

## 【0042】

## (実施の形態4)

本実施の形態においては、例えばBGA (Ball Grid Array) に適用した場合について説明する。図57は、例えばFan-OutタイプのT-TF (Tape-type Thin Fine-pitch) · BGA (CSP : Chip Size Package) の断面図を示している。ベーステープ25上のリード26は、バンプ11を介して半導体チップ1Cと電気的に接続されている。この場合、半導体チップ1Cには、上記LCDドライバ回路に代えて、例えばマイクロプロセッサ等のような論理回路またはセルベースICやゲートアレイ等のようなASIC (Application Specific IC) 等、多ピンの回路が形成されている。パッドPDの全部または少なくとも一部は、前記実施の形態1等と同様にアクティブ領域に配置されている。また、リード26は、半導体チップ1Cの外周側の半田ボール32と電気的に接続される。この半田ボール32は、ベーステープ25上のソルダレジスト28の開口部を通じて接続されている。半田ボール32の平坦性を確保するため、ベーステープ25の裏面側にはスティフナ (補強枠材) 33が接着剤34により貼り付けられている。スティフナ33は、例えば銅を主体としてなり、実装基板への実装後の半田ボール32への応力が小さくなるように、実装基板との熱膨張係数差が小さくなるような材料が選択されている。半導体チップ1Cと実装基板との熱膨張係数差による応力は、ベーステープ25により緩和される構成になっている。したがつ

て、実装後のアンダーフィルは不要である。

#### 【0043】

本実施の形態においても、半導体チップ1Cの主面内の複数のバンプ11の高さが均一となっており、また、各バンプ11の表面の平坦性が高いので、半導体チップ1Cの複数のバンプ11とベーステープ25上の複数のリード26とを良好に接続することができる。したがって、本実施の形態によれば、半導体装置の組立不良率を低減できる。

#### 【0044】

##### (実施の形態5)

本実施の形態においては、例えばBGA (Ball Grid Array) に適用した場合の他の例について説明する。図58は、例えばFan-InタイプのT-TF・BGA (CSP) の平面図、図59は図58のX1-X1線の断面図、図60は図58および図59の要部拡大断面図を示している。なお、図60のISは絶縁膜を示している。

#### 【0045】

本実施の形態では、半導体チップ1Cの主面に上記LCDドライバ回路に代えてDRAM (Dynamic Random Access Memory) 等のようなメモリ回路が形成されている。パッドPDは、半導体チップ1Cの中央に図58の上下方向に沿って並んで配置されており（いわゆるセンターパッド方式）、DRAMの周辺回路等を構成する素子や配線等が配置されたアクティブ領域内に配置されている。半導体チップ1Cの主面上（パッド形成領域を除く）にはエラストマ（弹性を有する樹脂）35が、接着剤36により接着されている。さらにそのエラストマ35上にベーステープ25が接着されている。半田ボール32は、ベーステープ25に形成されたスルーホールを通じてリード26と電気的に接続されている。この半田ボール32は、半導体チップ1Cの主面下のみに配置される構造となっている。上記のように半導体チップ1Cの主面とベーステープ25との間にエラストマ35を介在させることにより、安価なガラスエポキシ基板を実装基板として用いた場合でも、半田ボール32の付け根部の熱応力を抑制できる。また、リード26を略S字状に撓ませた状態でパッドPDと接続させている。これにより、リード

26とパッドPDとの接合部に集中する応力を緩和できる。リード26の先端の表面には、例えば金(Au)メッキが施されている。そして、そのリード26の先端とパッドPDとはバンプを介さずに直接接合されている。リード26およびパッドPD等は封止部27で封止されている。この場合も実装後のアンダーフィルは不要である。

#### 【0046】

本実施の形態においては、半導体チップ1Cの主面内の複数のパッドPDの高さが均一となっており、また、各パッドPDの表面の平坦性が高いので、半導体チップ1Cの複数のパッドPDとベーステープ25の複数のリード26とを良好に接続することができる。したがって、本実施の形態によれば、半導体装置の組立不良率を低減できる。

#### 【0047】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0048】

例えば前記実施の形態では、半導体装置のパッド下の全ての配線層毎にパッド領域内の配線の占有率が等しくなるようにしたが、一部の配線層のパッド領域内の配線の占有率が等しくなるようにしても良い。

#### 【0049】

また、前記実施の形態では、3層配線構造の半導体装置を例示したが、これに限定されるものではなく、2層配線構造または3層以上の配線層を有する半導体装置にも適用できる。

#### 【0050】

また、前記実施の形態では、実装体に実装する前の半導体チップの電極パッドにバンプを接合しておく形式のものについて説明したが、これに限定されるものではなく、例えば実装体に実装する前の半導体チップの電極パッドにはバンプを接合せず、実装体の配線側(例えばベーステープのリードの先端)にバンプを接合しておき、半導体チップを実装体に実装したときに半導体チップの電極パッド

と実装体の配線とをバンプを介して接続する形式のものにも適用できる。この場合も、前記実施の形態と同様に、半導体チップ側の複数の電極パッドの高さが揃っているので、半導体チップの複数の電極パッドと、実装体の配線とを不具合なく良好に接続することができる。

#### 【0051】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるLCDドライバ回路、マイクロプロセッサまたはDRAMに適用した場合について説明したが、それに限定されるものではなく、例えばSRAM(Static Random Access Memory)またはフラッシュメモリ(EEPROM; Electric Erasable Programmable Read Only Memory)等のようなメモリ回路を有する半導体装置またはメモリ回路と論理回路とを同一基板に設けている混載型の半導体装置にも適用できる。

#### 【0052】

以上、これらの実施の形態によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

#### 【0053】

複数の電極パッド下の各層の配線層の配線占有率を揃えることで、半導体チップの正面内の複数の電極パッドの上面の高さをほぼ均一にすることができる。さらに、電極パッド下の各層の配線層の形状、寸法または配置間隔を同じようにすることで、電極パッドの上面の高さの均一性を高めることができる。

#### 【0054】

また、ダミー用の電極パッドを含む全ての電極パッドの下層に活性領域を配置することにより、全ての電極パッドの下地の絶縁膜上面における平坦性および高さを揃えるようにすることができる。

#### 【0055】

すなわち、半導体チップの正面の素子や配線等が配置された領域内に配置された複数の電極パッドの下地の構造が均一になるようにしたことにより、半導体チップの正面内の複数の電極パッドの高さをほぼ均一にすることができる。

#### 【0056】

また、半導体チップの電極パッドと半導体チップを実装する実装体の配線との間で接合不良が低減できるため、半導体チップ1Cを実装する際の組立不良率を低減できる。

## 【0057】

## 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

## 【0058】

すなわち、半導体チップの主面内の複数の電極パッドの高さを揃えることができる。

## 【図面の簡単な説明】

## 【図1】

本発明の一実施の形態である半導体装置の電極パッドの下層における配線例の要部平面図である。

## 【図2】

本発明の一実施の形態である半導体装置の電極パッドの下層における図1と同層の配線例の要部平面図である。

## 【図3】

本発明の一実施の形態である半導体装置の電極パッドの下層における図1および図2と同層の配線例の要部平面図である。

## 【図4】

図1の配線のY1-Y1線の断面図である。

## 【図5】

図2の配線のY2-Y2線の断面図である。

## 【図6】

図3の配線のY3-Y3線の断面図である。

## 【図7】

本発明の一実施の形態である半導体装置の電極パッドの下層における図1、図2および図3と同層の配線例の要部平面図である。

【図8】

図7の配線のY4-Y4線の断面図である。

【図9】

本発明の一実施の形態である半導体装置の電極パッドの下層における配線例の要部平面図である。

【図10】

本発明の一実施の形態である半導体装置の電極パッドの下層における図9と同層の配線例の要部平面図である。

【図11】

本発明の一実施の形態である半導体装置の電極パッドの下層における図9および図10と同層の配線例の要部平面図である。

【図12】

図9の配線のY5-Y5線の断面図である。

【図13】

図10の配線のY6-Y6線の断面図である。

【図14】

図11の配線のY7-Y7線の断面図である。

【図15】

本発明の一実施の形態である半導体装置の電極パッドの下層における配線例の要部平面図である。

【図16】

本発明の一実施の形態である半導体装置の電極パッドの下層における配線例の要部平面図である。

【図17】

本発明の一実施の形態である半導体装置の電極パッドの下層における配線例の要部平面図である。

【図18】

本発明の一実施の形態である半導体装置の電極パッドの下層における図17と同層の配線例の要部平面図である。

【図19】

本発明の一実施の形態である半導体装置の電極パッドの下層における図17および図18と同層の配線例の要部平面図である。

【図20】

パッド領域内の下層配線の占有率について、本発明者が検討した技術（改善前）と、本発明の一実施の形態の技術（改善後）とを比較して示した説明図である。

【図21】

本発明の一実施の形態である半導体装置の電極パッドの下層の半導体基板の一例の要部平面図である。

【図22】

本発明の一実施の形態である半導体装置の図20の電極パッドとは別の電極パッドの下層の半導体基板の一例の要部平面図である。

【図23】

図21の半導体基板のY8-Y8線の断面図である。

【図24】

図22の半導体基板のY9-Y9線の断面図である。

【図25】

本発明の一実施の形態である半導体装置を構成する半導体チップの一例の全体平面図である。

【図26】

本発明の一実施の形態である半導体装置の電極パッドの直下における第2層配線例の要部平面図である。

【図27】

本発明の一実施の形態である半導体装置の図26とは異なる電極パッドの直下における第2層配線例の要部平面図である。

【図28】

本発明の一実施の形態である半導体装置の図26および図27とは異なる電極パッドの直下における第2層配線例の要部平面図である。

【図29】

本発明の一実施の形態である半導体装置の図26～図28とは異なる電極パッドの直下における第2層配線例の要部平面図である。

【図30】

本発明の一実施の形態である半導体装置の図26～図29とは異なる電極パッドの直下における第2層配線例の要部平面図である。

【図31】

本発明の一実施の形態である半導体装置の図26～図30とは異なる電極パッドの直下における第2層配線例の要部平面図である。

【図32】

本発明の一実施の形態である半導体装置の図26と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図33】

本発明の一実施の形態である半導体装置の図27と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図34】

本発明の一実施の形態である半導体装置の図28と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図35】

本発明の一実施の形態である半導体装置の図29と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図36】

本発明の一実施の形態である半導体装置の図30と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図37】

本発明の一実施の形態である半導体装置の図31と同じ電極パッドの下層における第1層配線例の要部平面図である。

【図38】

本発明の一実施の形態である半導体装置の図26と同じ電極パッドの下層にお

ける半導体基板の主面例の要部平面図である。

【図49】

本発明の一実施の形態である半導体装置の図27と同じ電極パッドの下層における半導体基板の主面例の要部平面図である。

【図40】

本発明の一実施の形態である半導体装置の図28と同じ電極パッドの下層における半導体基板の主面例の要部平面図である。

【図41】

本発明の一実施の形態である半導体装置の図29と同じ電極パッドの下層における半導体基板の主面例の要部平面図である。

【図42】

本発明の一実施の形態である半導体装置の図30と同じ電極パッドの下層における半導体基板の主面例の要部平面図である。

【図43】

本発明の一実施の形態である半導体装置の図31と同じ電極パッドの下層における半導体基板の主面例の要部平面図である。

【図44】

図27、図33および図39のY10-Y10線の断面図である。

【図45】

図29、図35および図41のY11-Y11線の断面図である。

【図46】

図25に示した半導体装置の各電極パッドの下の各配線層毎の配線占有率の説明図である。

【図47】

図46の第1層配線の占有率を示す棒グラフ図である。

【図48】

図46の第2層配線の占有率を示す棒グラフ図である。

【図49】

液晶表示装置の要部平面図である。

【図50】

図49の要部断面図である。

【図51】

図50の要部拡大断面図である。

【図52】

図51の要部拡大断面図である。

【図53】

本発明の他の実施の形態であるTCPの要部斜視図である。

【図54】

図53のTCPのインナーリード側の要部拡大断面図である。

【図55】

図53のTCPを液晶表示装置に実装した状態の要部断面図である。

【図56】

本発明の他の実施の形態の半導体装置をCOFで液晶表示装置に実装した状態の要部断面図である。

【図57】

本発明のさらに他の実施の形態であるFan-OutタイプのT-TF・BG  
A(CSP)の断面図図である。

【図58】

本発明の他の実施の形態であるFan-InタイプのT-TF・BGA(CS  
P)の平面図である。

【図59】

図58のX1-X1線の断面図である。

【図60】

図58および図59の要部拡大断面図である。

【符号の説明】

1 S 半導体基板

2 分離部

3 ゲート駆動回路

- 4 ソース駆動回路
- 5 液晶駆動回路
- 6 グラフィックRAM
- 7 周辺回路
- 8 n型の半導体領域
- 9 開口部
- 10 下地金属膜
- 11 バンプ
- 15 液晶表示装置
- 16 a、16 b ガラス基板
- 16 c シール材
- 16 d 液晶材
- 17 配線
- 18 異方性導電フィルム
- 18 a 絶縁性接着剤
- 18 b 導電粒子
- 19 フレキシブル基板
- 19 a 基板本体
- 19 b 配線
- 20 プリント基板
- 21 半田
- 25 ベーステープ
- 26 リード
- 26 a インナーリード
- 26 b アウターリード
- 27 封止部
- 28 ソルダレジスト
- 29 配線
- 30 電子部品

3 1 半田バンプ

3 2 半田ボール

3 3 スティフナ

3 4 接着剤

3 5 エラストマ

3 6 接着剤

P D, P D 1 ~ P D 1 8 電極パッド

M X a ~ M X k, M X m, M X n, M X p ~ M X s 配線

I S, I S a, I S b, I S 1 ~ I S 4 絶縁膜

M 1 第1層配線

M 2 第2層配線

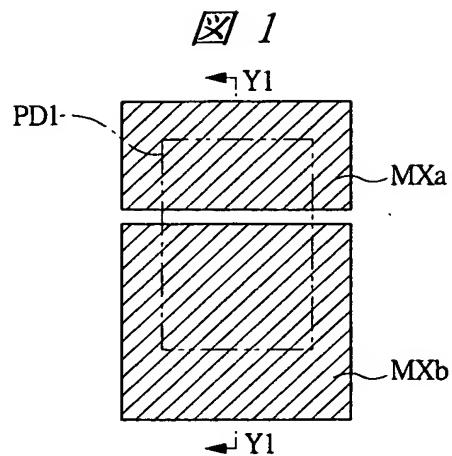
M 3 第3層配線

D p n 接合ダイオード

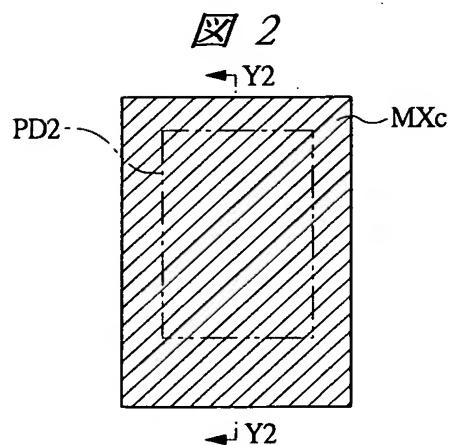
P W L p ウエル

【書類名】 図面

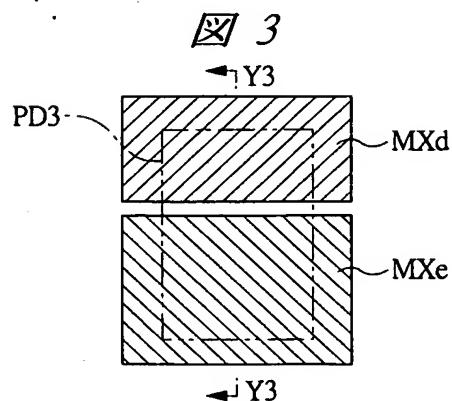
【図1】



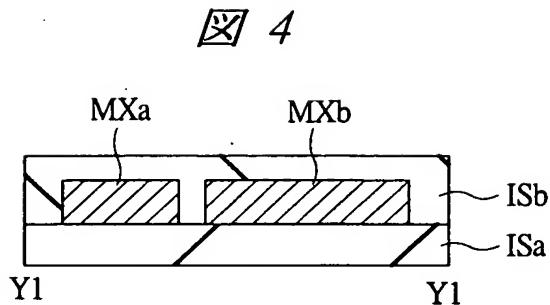
【図2】



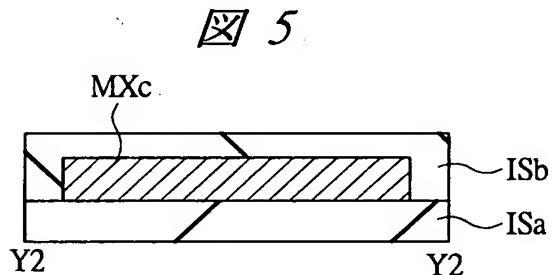
【図3】



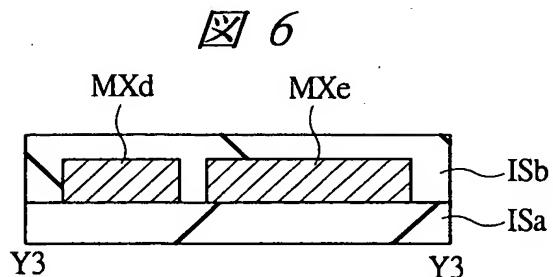
【図4】



【図5】

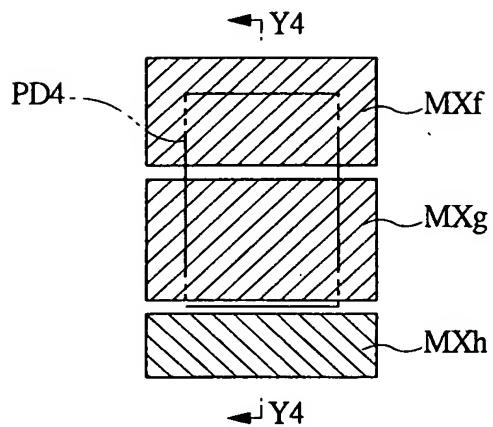


【図6】



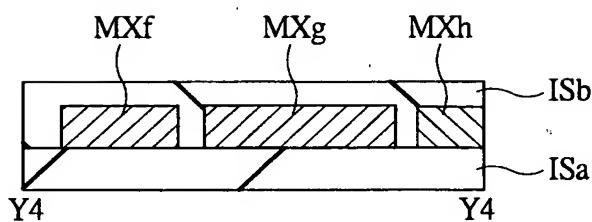
【図7】

図7



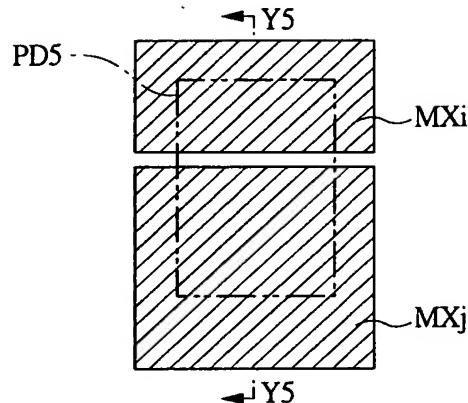
【図8】

図8



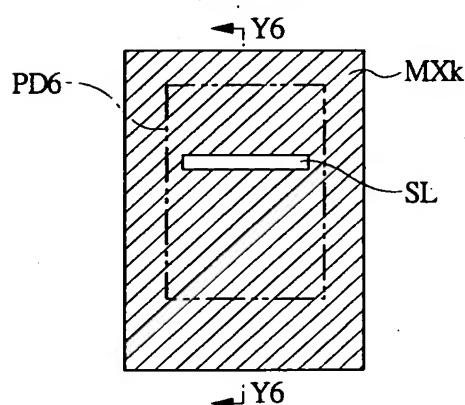
【図9】

図9



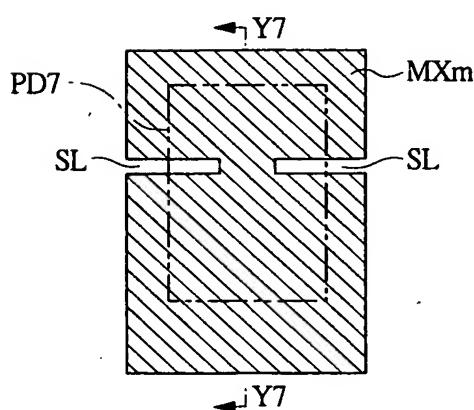
【図10】

図10

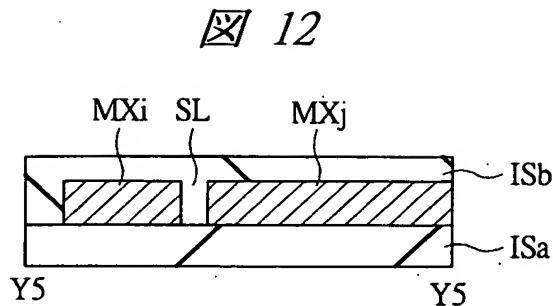


【図11】

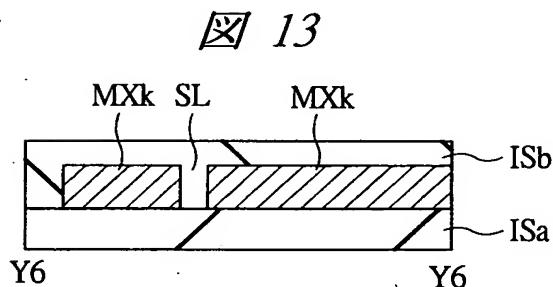
図11



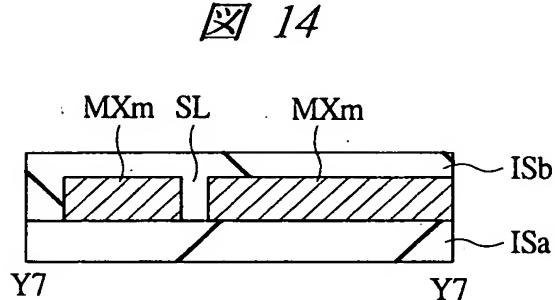
【図12】



【図13】

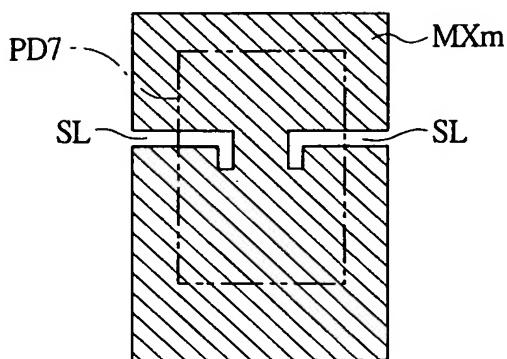


【図14】



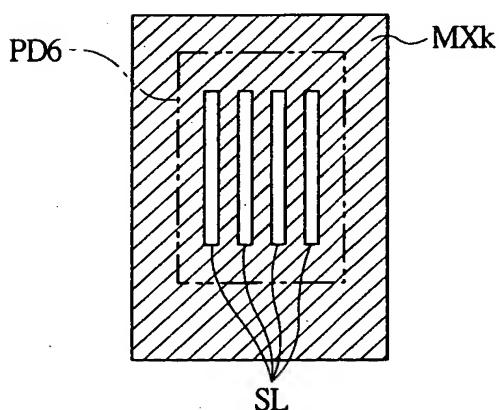
【図15】

図15



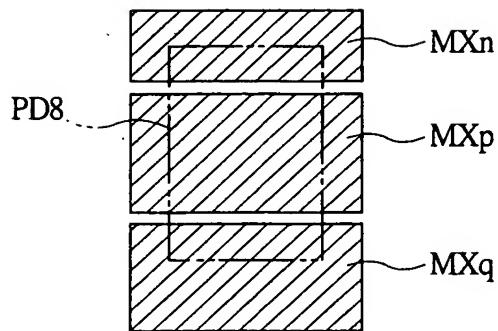
【図16】

図16



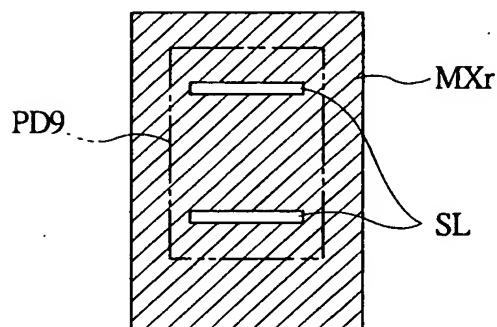
【図17】

図17



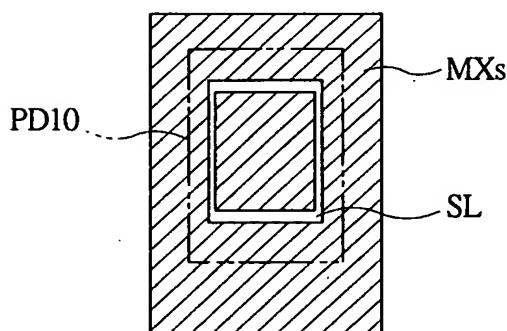
【図18】

図18



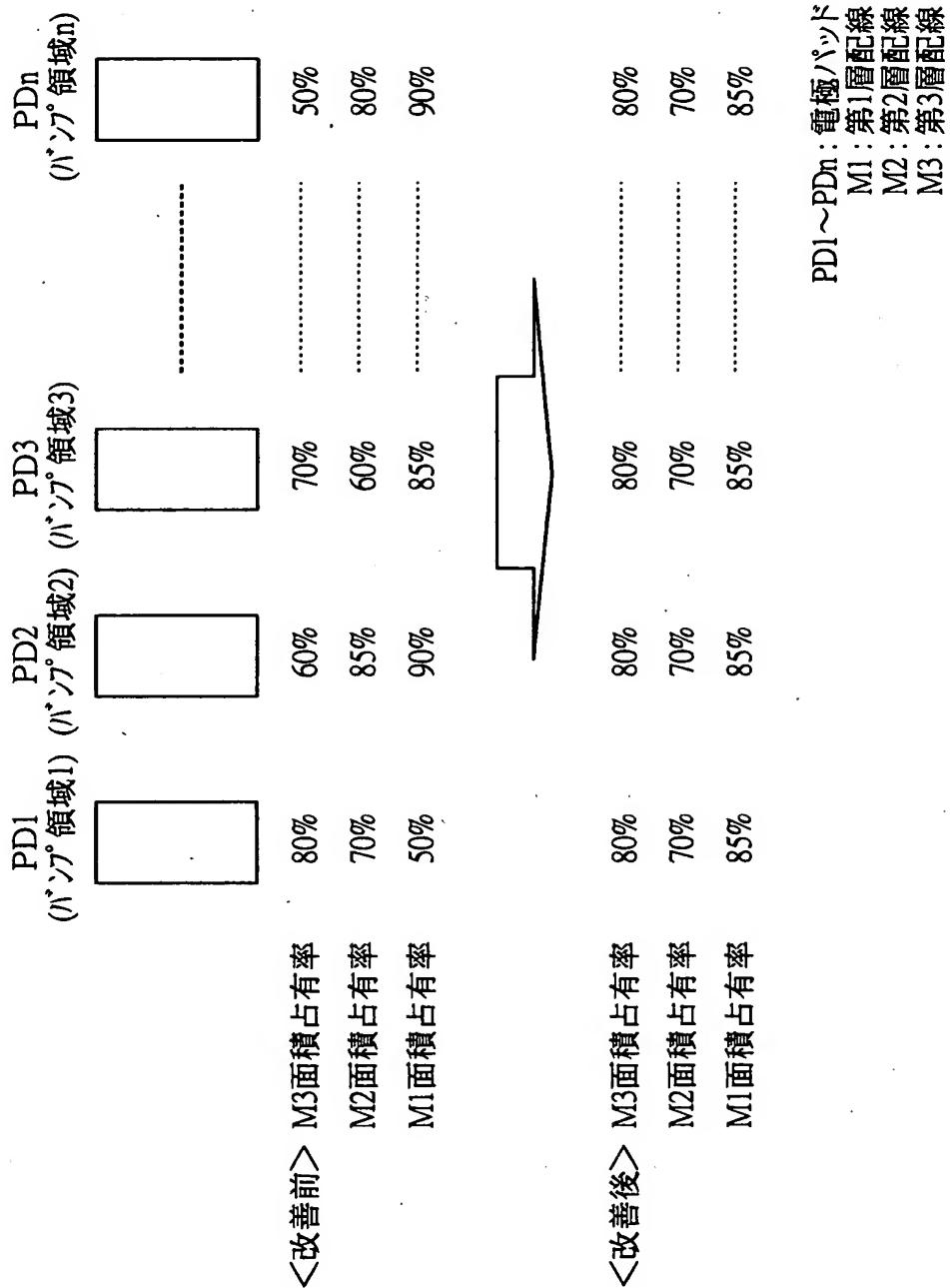
【図19】

図19



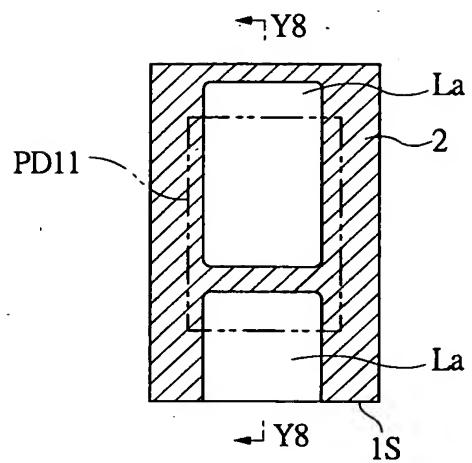
【図20】

図20



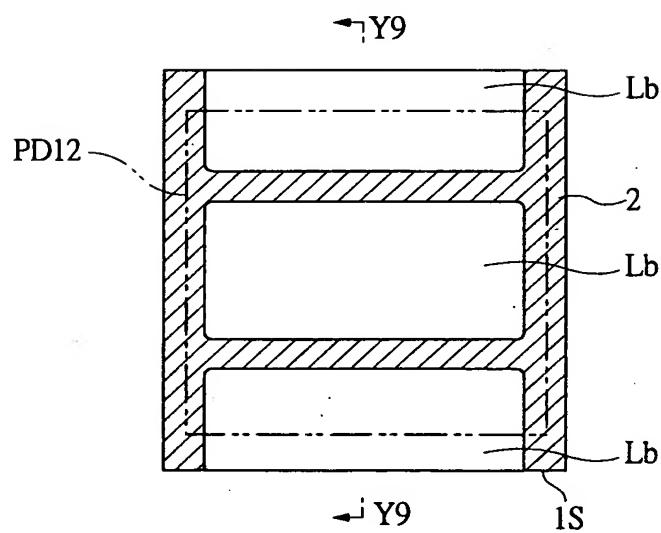
【図21】

図21



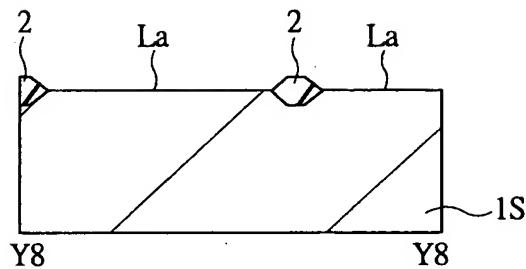
【図22】

図22



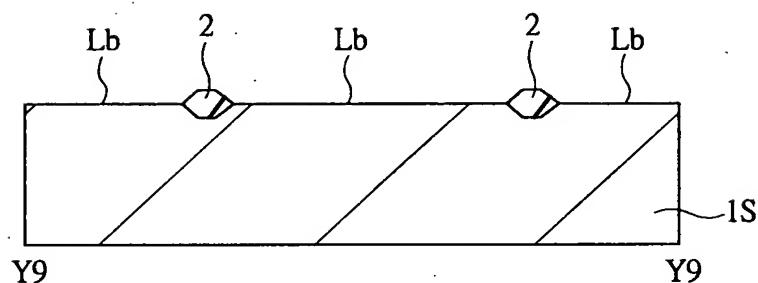
【図23】

図23

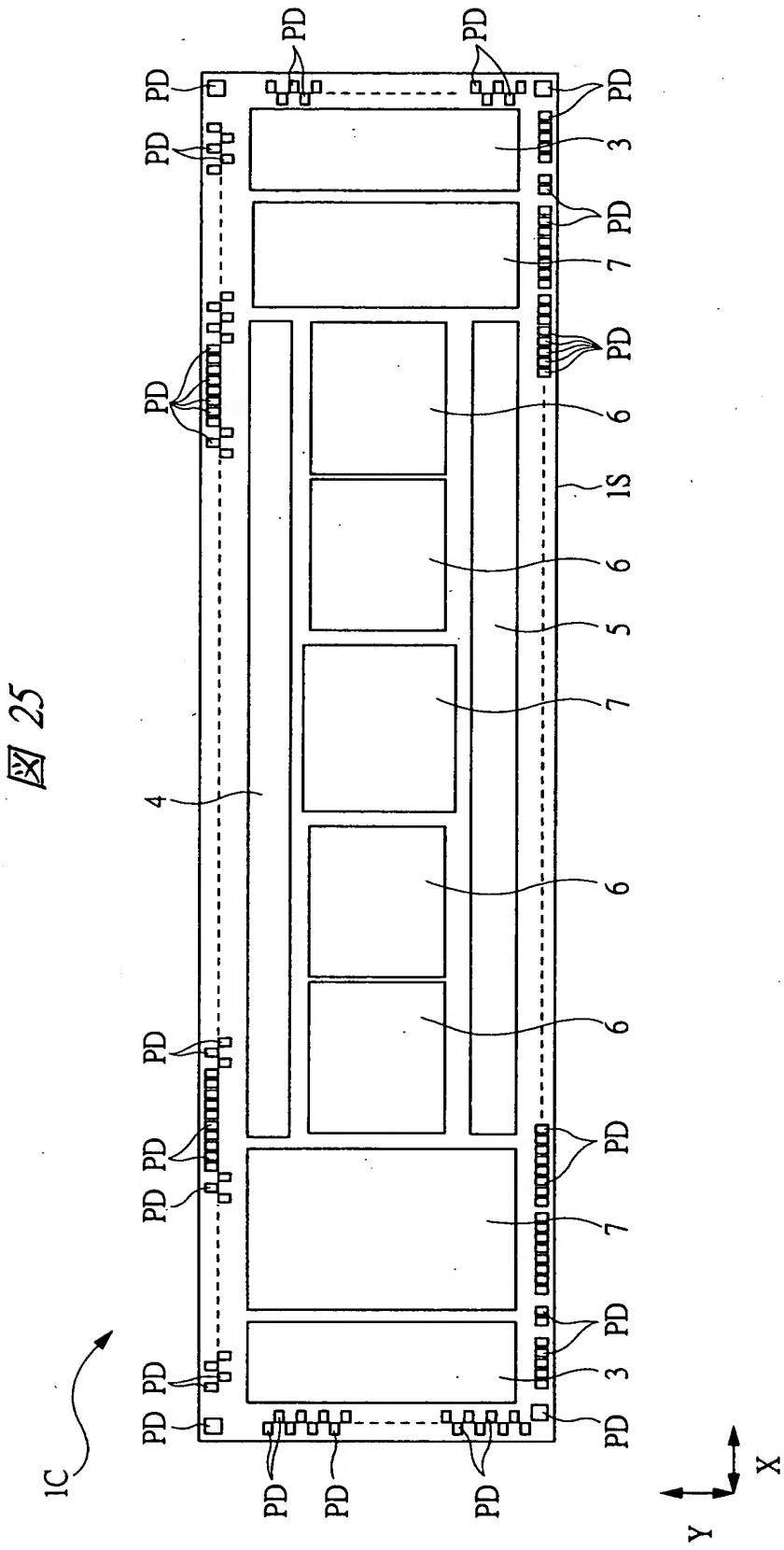


【図24】

図24

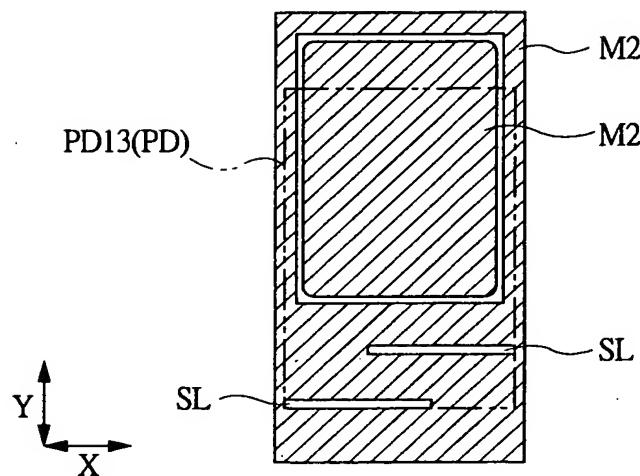


【図25】



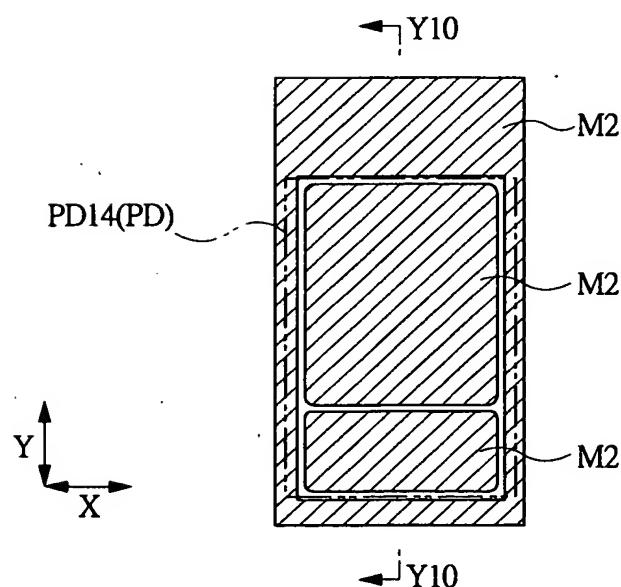
【図26】

図26



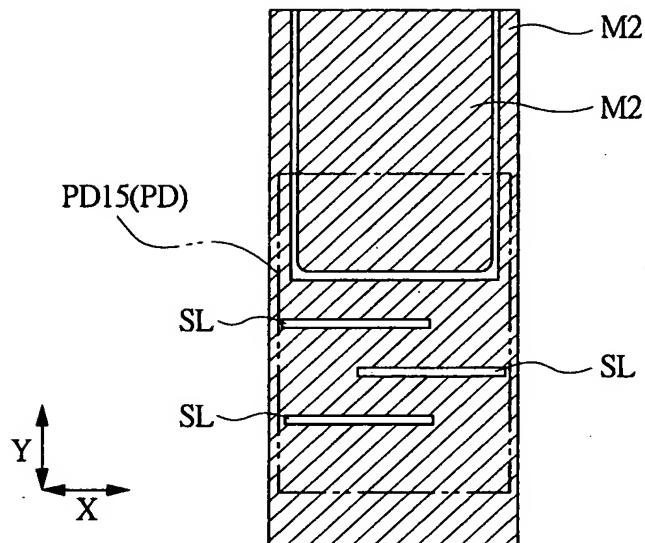
【図27】

図27



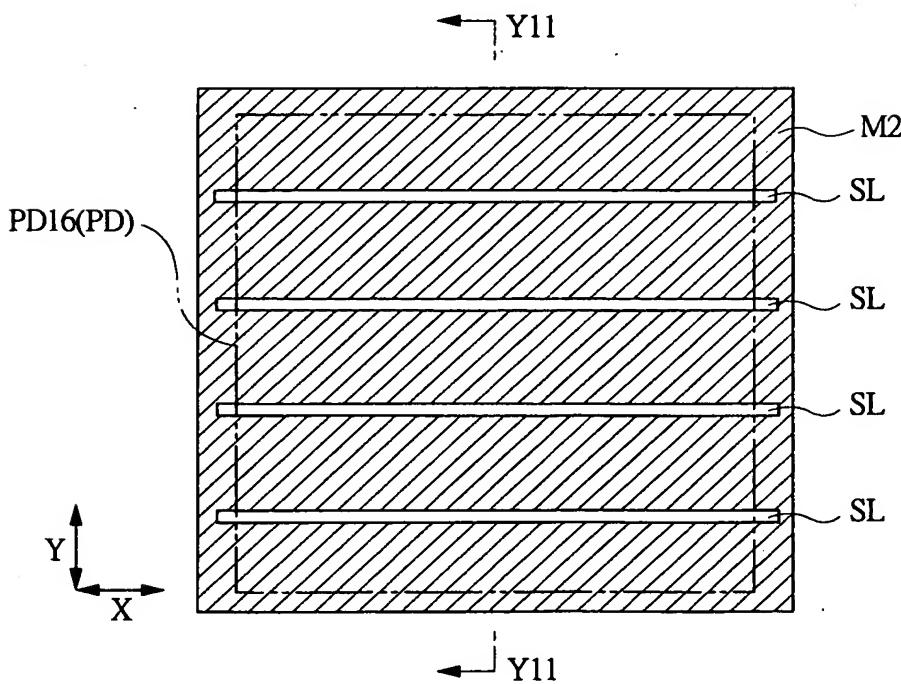
【図28】

図28

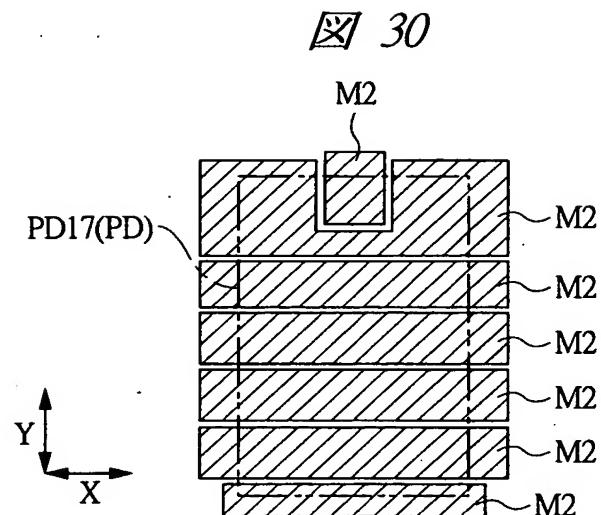


【図29】

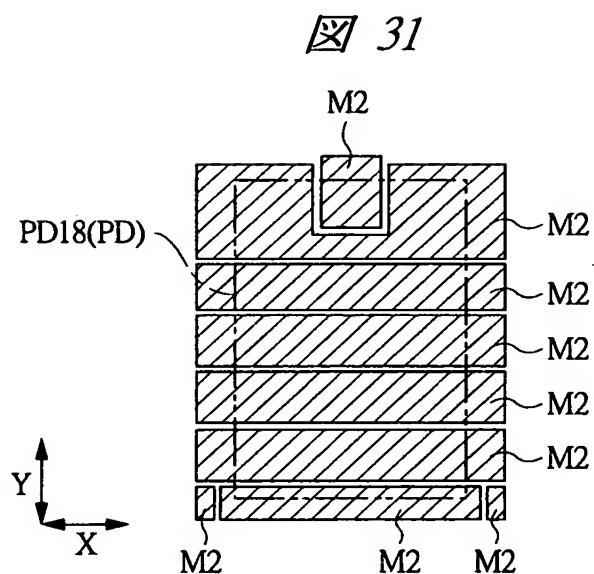
図29



【図30】

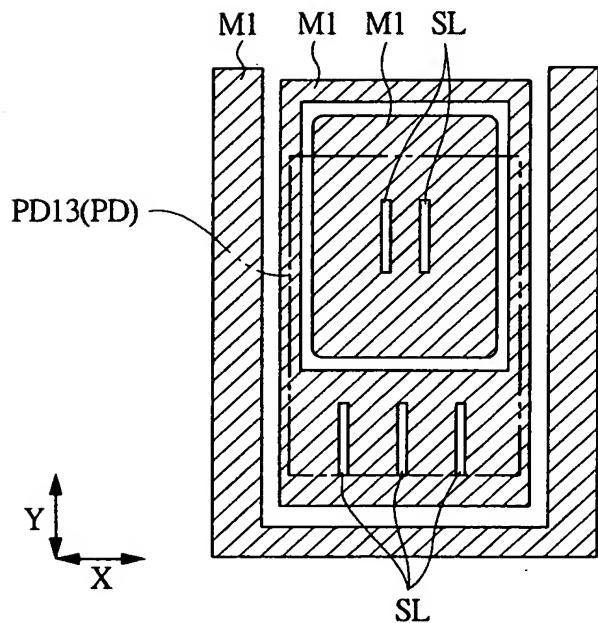


【図31】



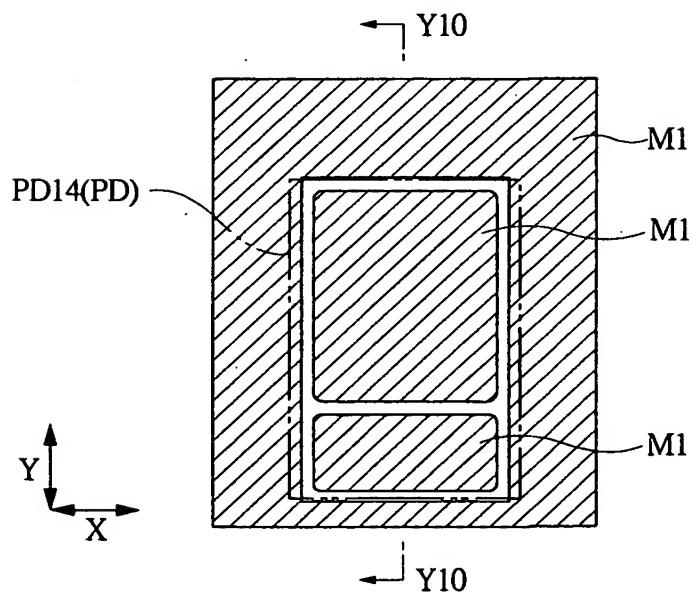
【図32】

図32

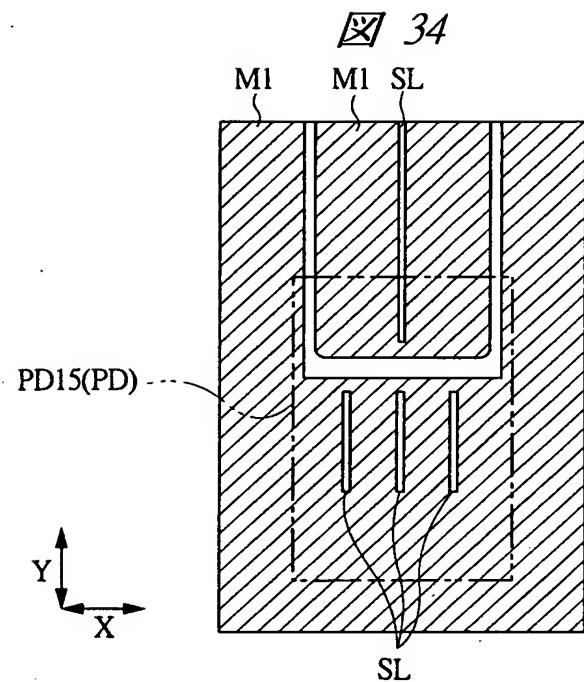


【図33】

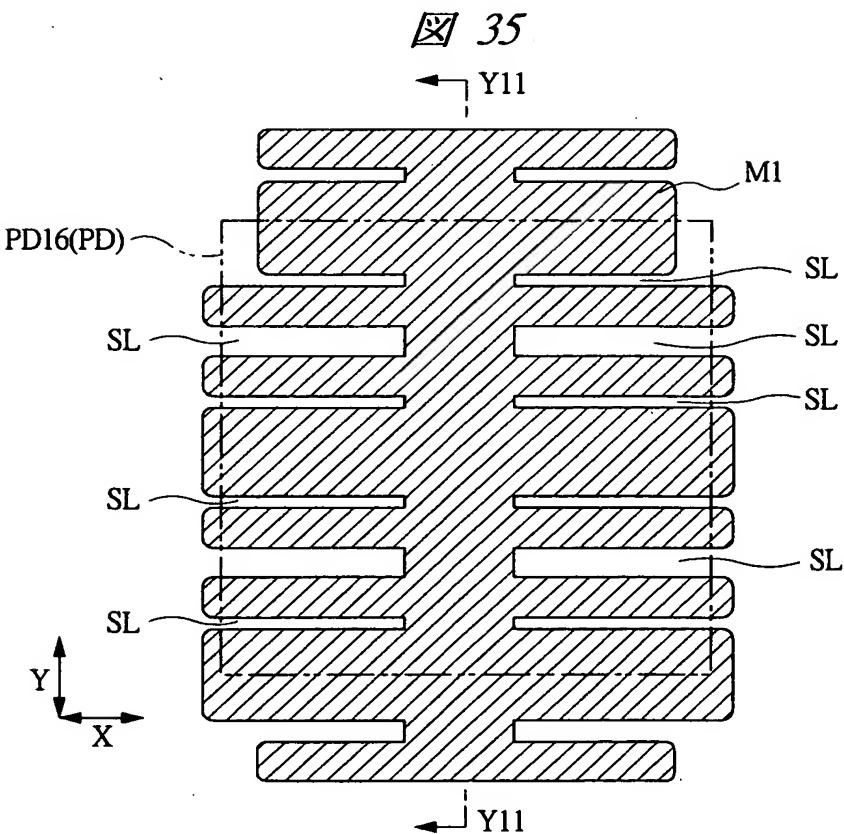
図33



【図34】

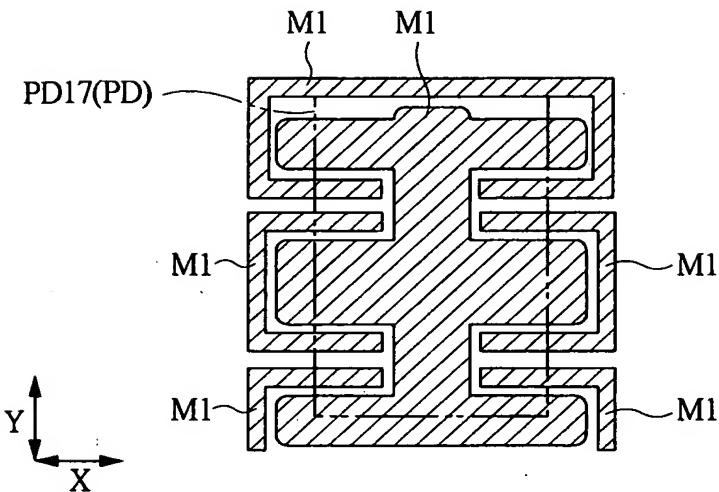


【図35】



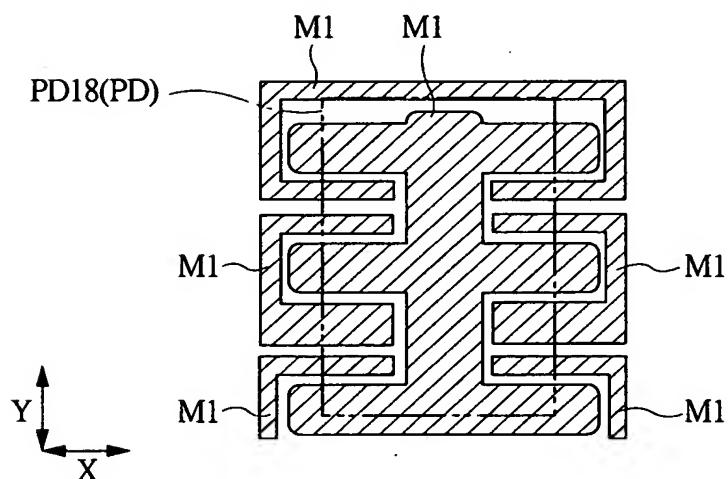
【図36】

図36



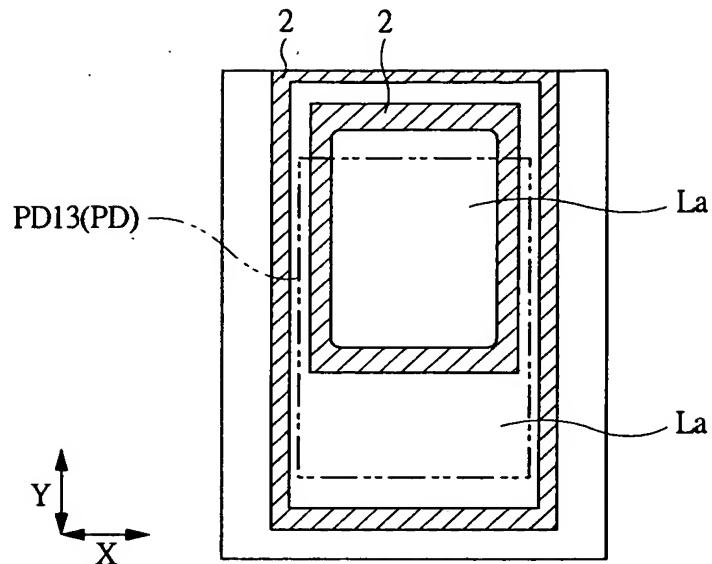
【図37】

図37



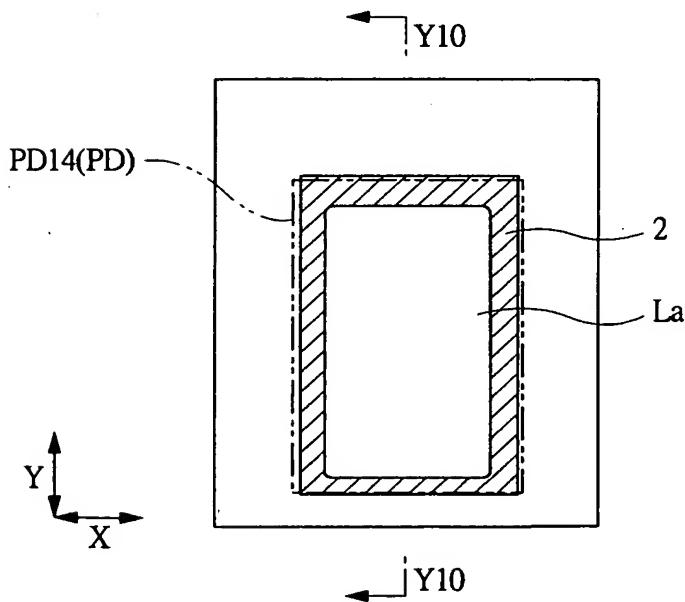
【図38】

図38



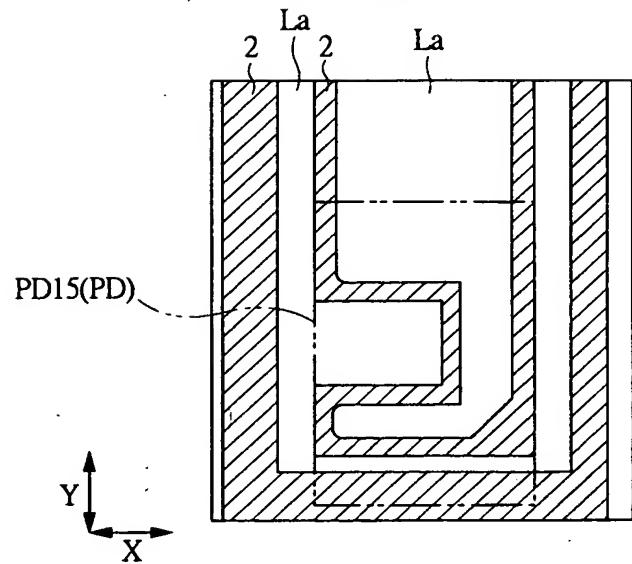
【図39】

図39



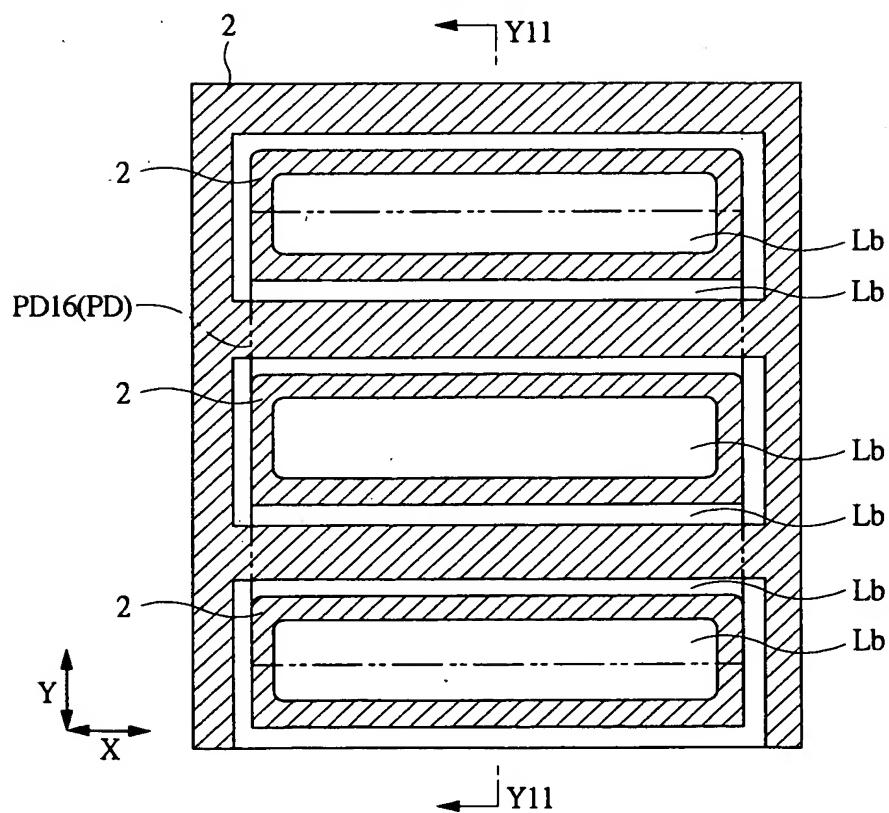
【図40】

図40



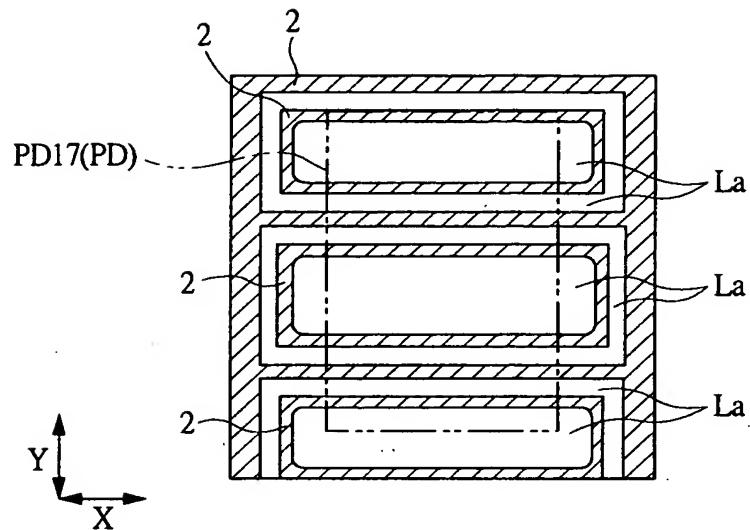
【図41】

図41



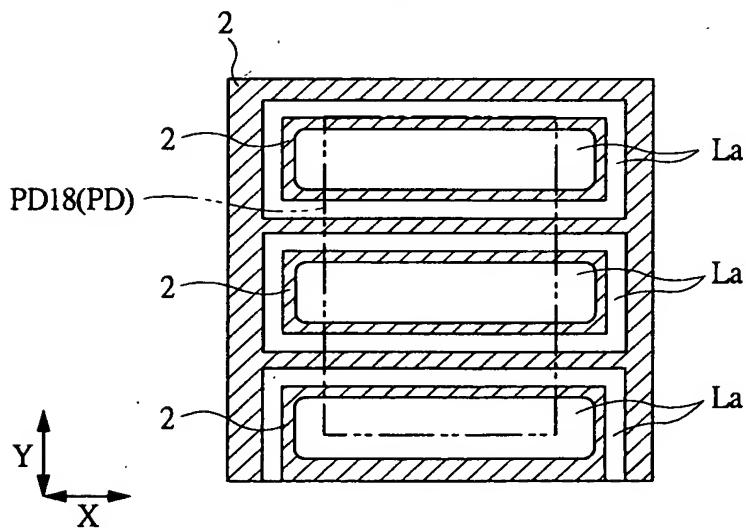
【図42】

図42



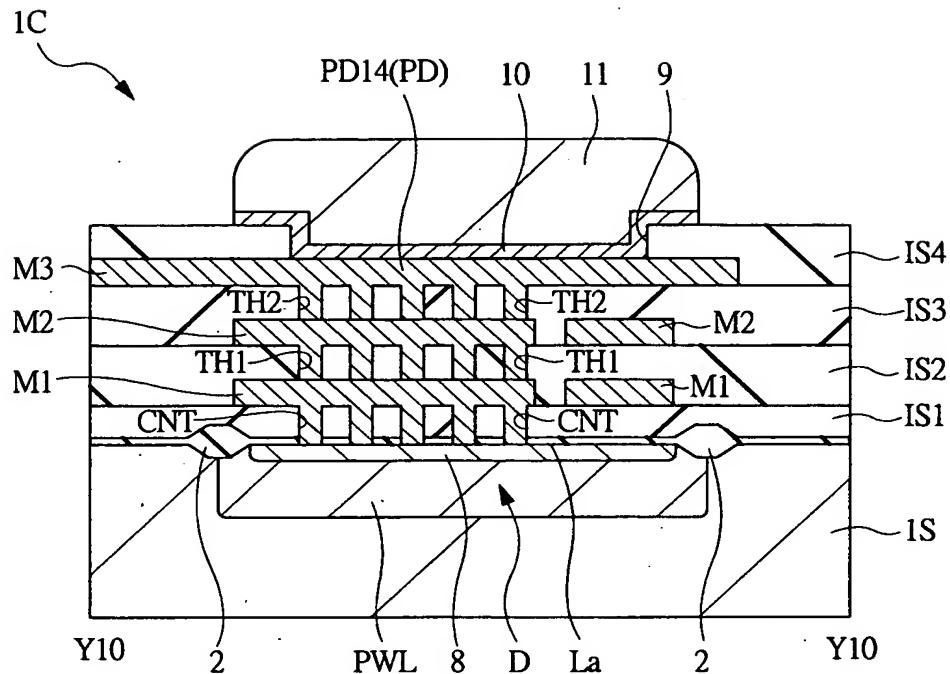
【図43】

図43



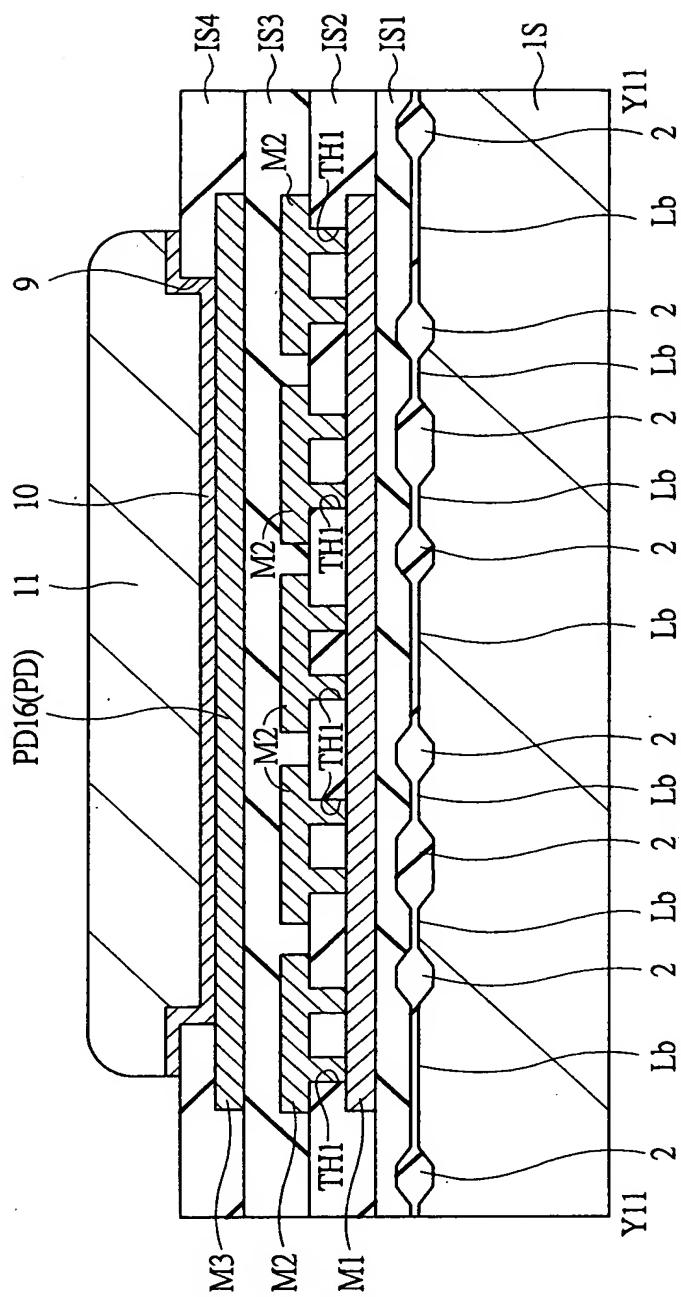
【図44】

図44



【図45】

図45



【図46】

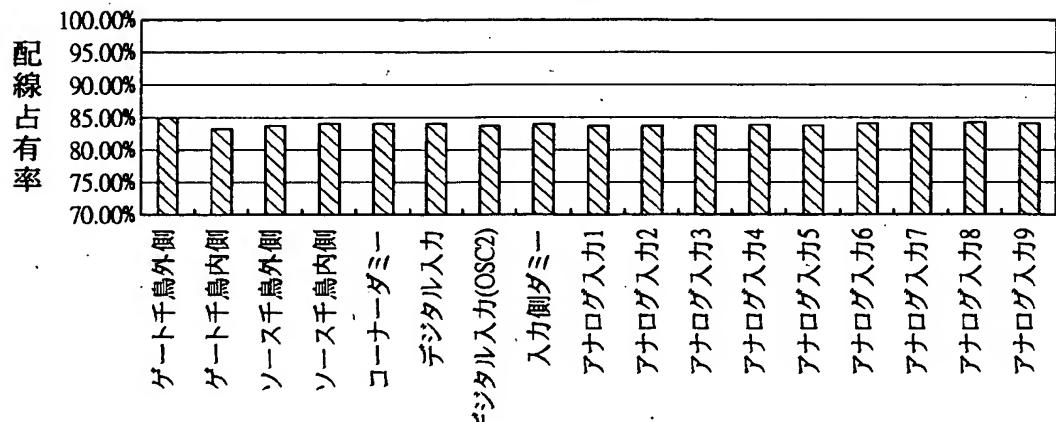
図 46

パッドPD	パンプ下の配線の面積占有率	
	M1	M1
ゲート千鳥外側	84.35%	94.00%
ゲート千鳥内側	83.06%	92.18%
ソース千鳥外側	83.59%	93.91%
ソース千鳥内側	83.90%	94.48%
コーナーダミー	83.65%	94.77%
デジタル入力	83.66%	93.65%
デジタル入力(OSC2)	83.09%	94.05%
入力側ダミー	83.87%	94.81%
アナログ入力1	83.45%	94.81%
アナログ入力2	83.45%	94.81%
アナログ入力3	83.53%	94.81%
アナログ入力4	83.67%	94.81%
アナログ入力5	83.10%	94.81%
アナログ入力6	83.74%	94.62%
アナログ入力7	83.50%	94.81%
アナログ入力8	83.59%	94.81%
アナログ入力9	83.81%	94.81%
Min	83.06%	92.18%
Max	84.35%	94.81%
Max - Min	1.29%	2.64%
Ave	83.59%	94.41%

【図47】

図47

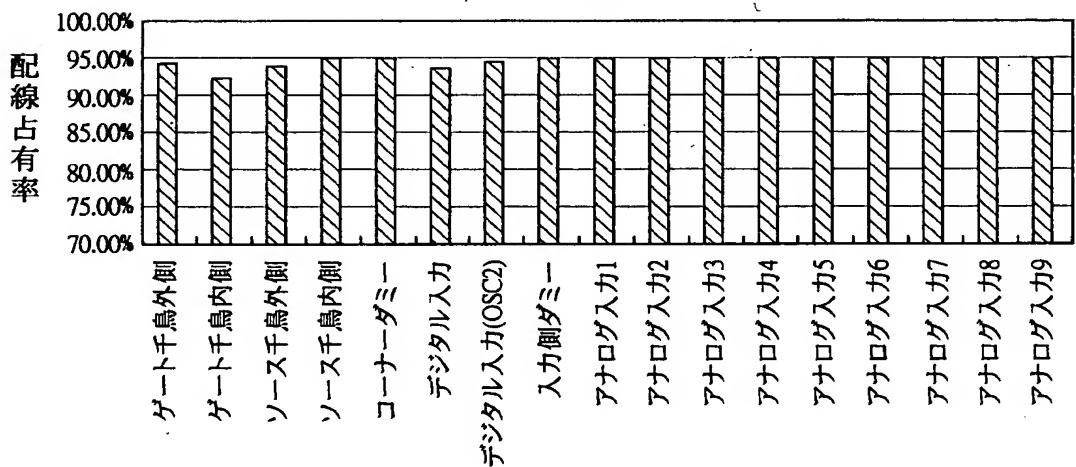
M1



【図48】

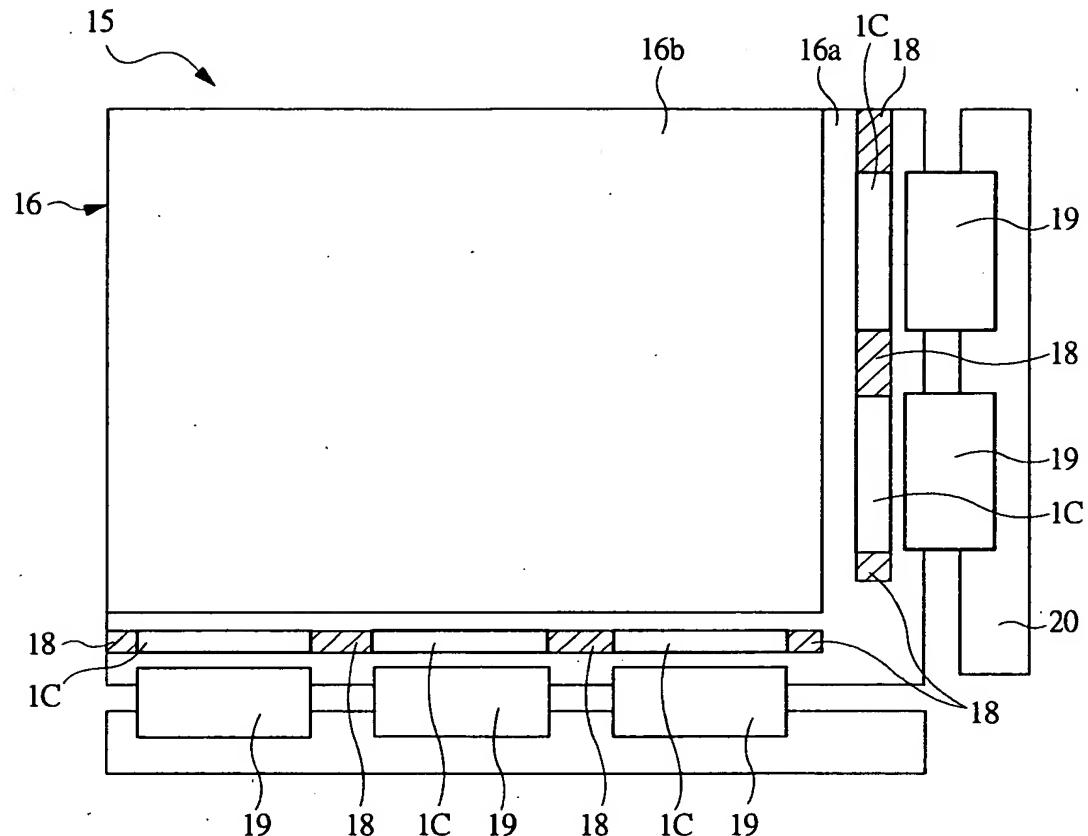
図48

M2



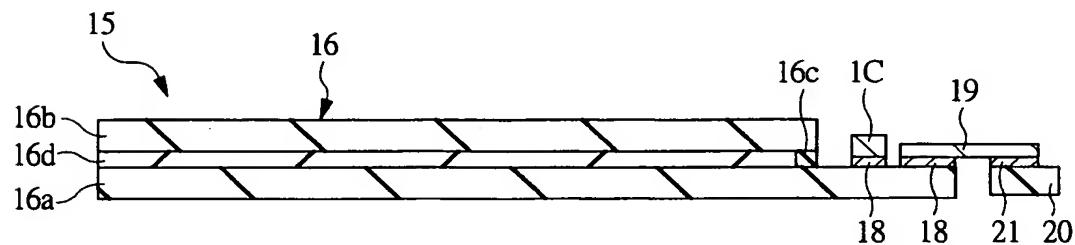
【図49】

図49



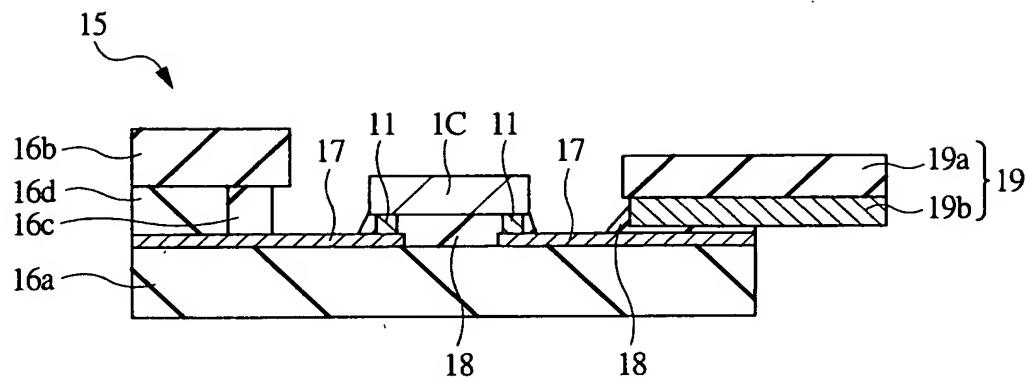
【図50】

図50



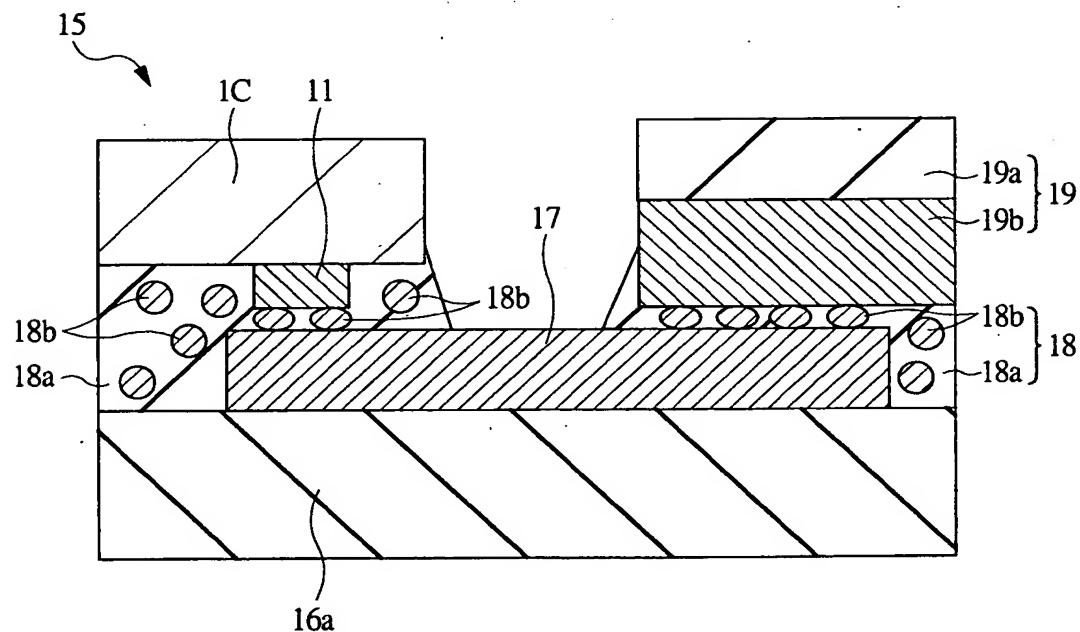
【図51】

図51

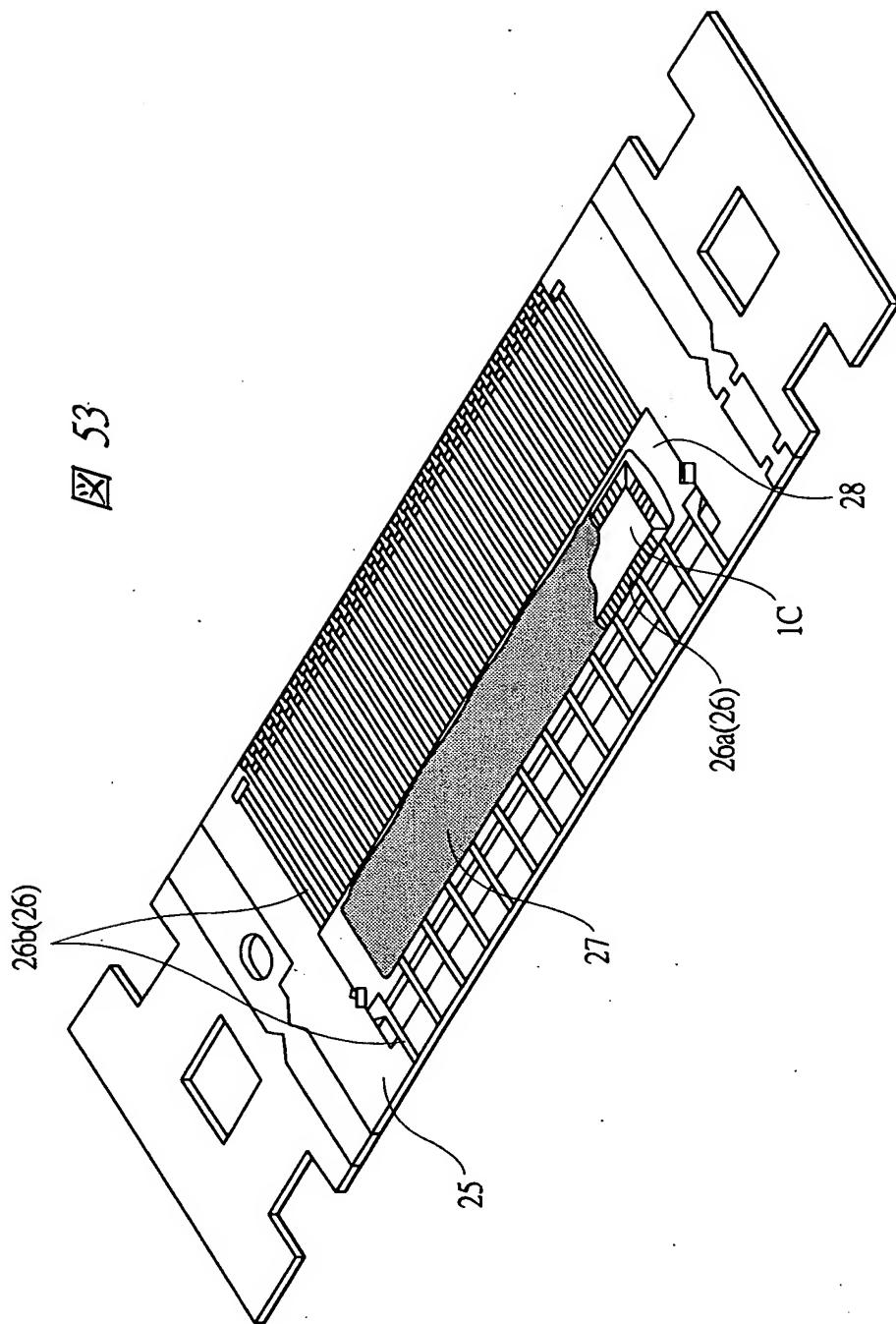


【図52】

図52

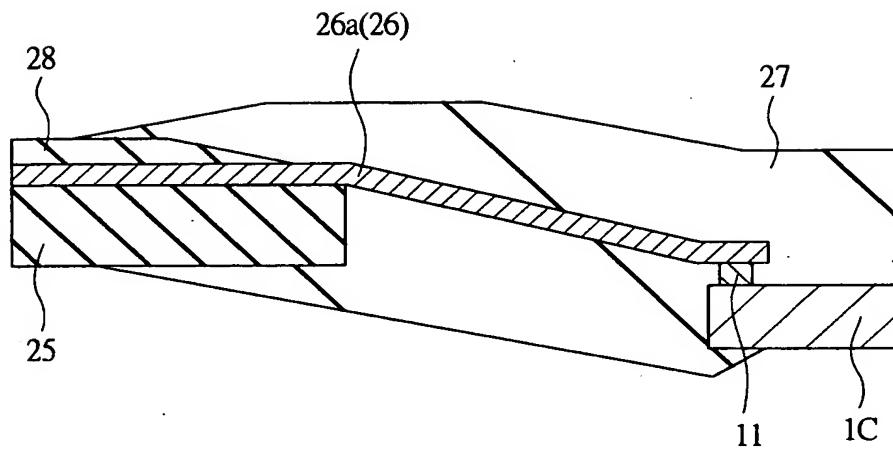


【図53】



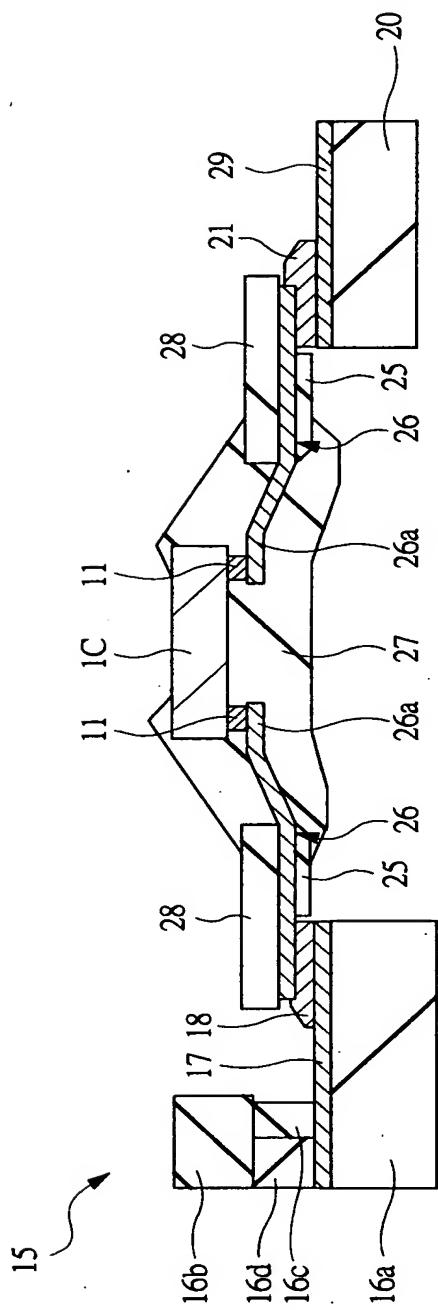
【図54】

図54



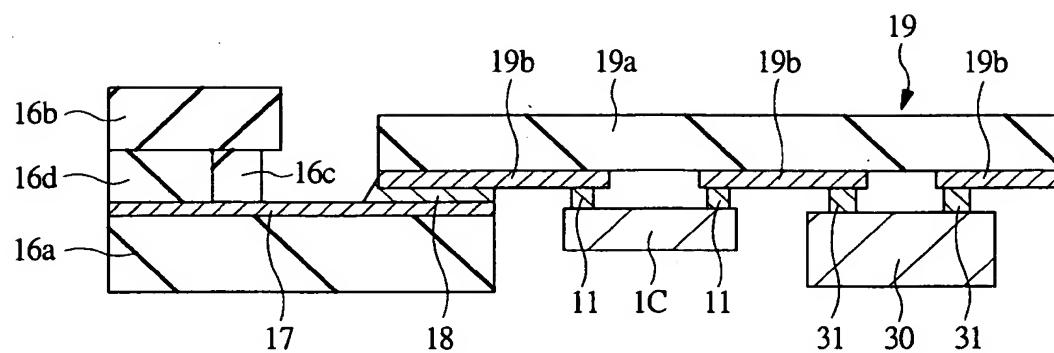
【図55】

図55



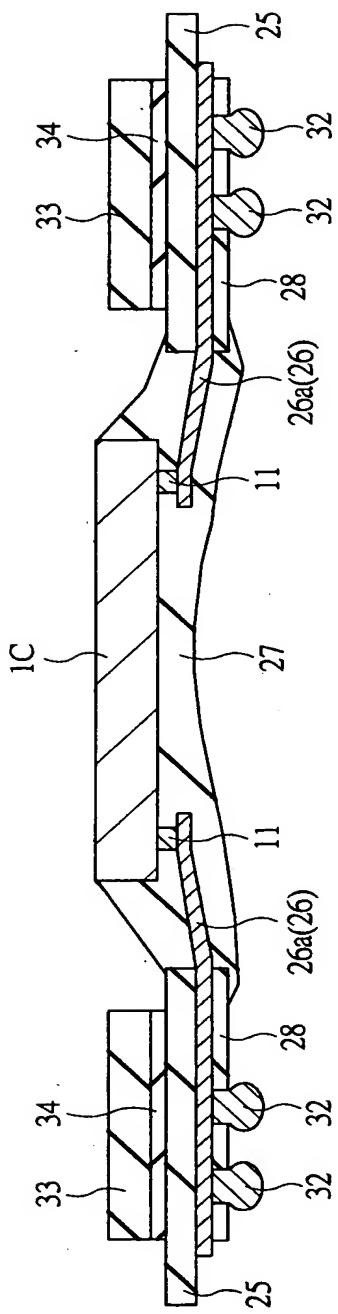
【図56】

図 56



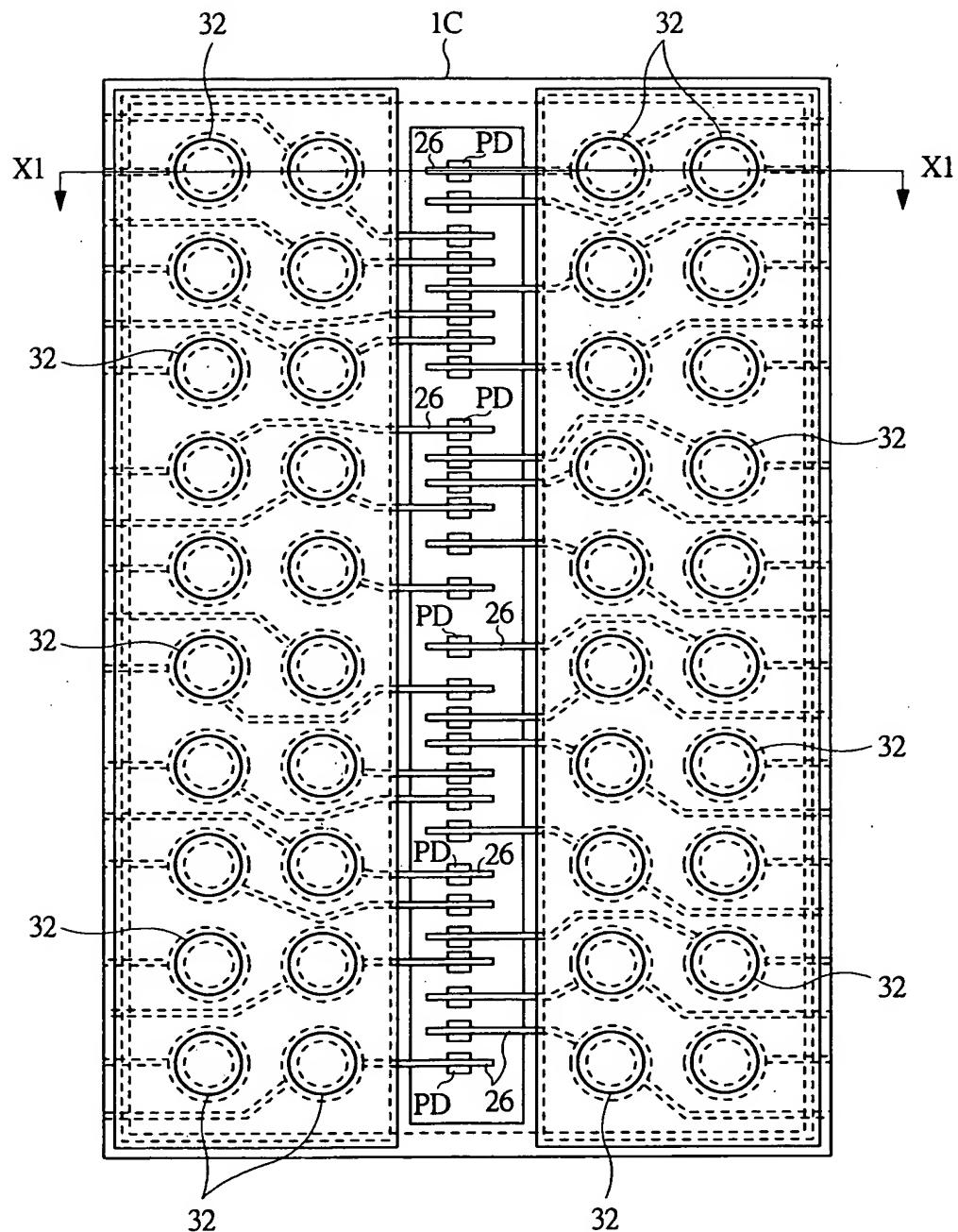
【図57】

図57



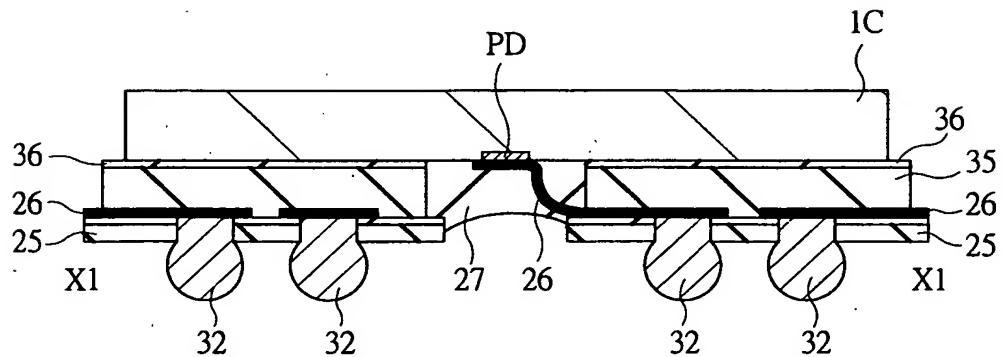
【図58】

図58



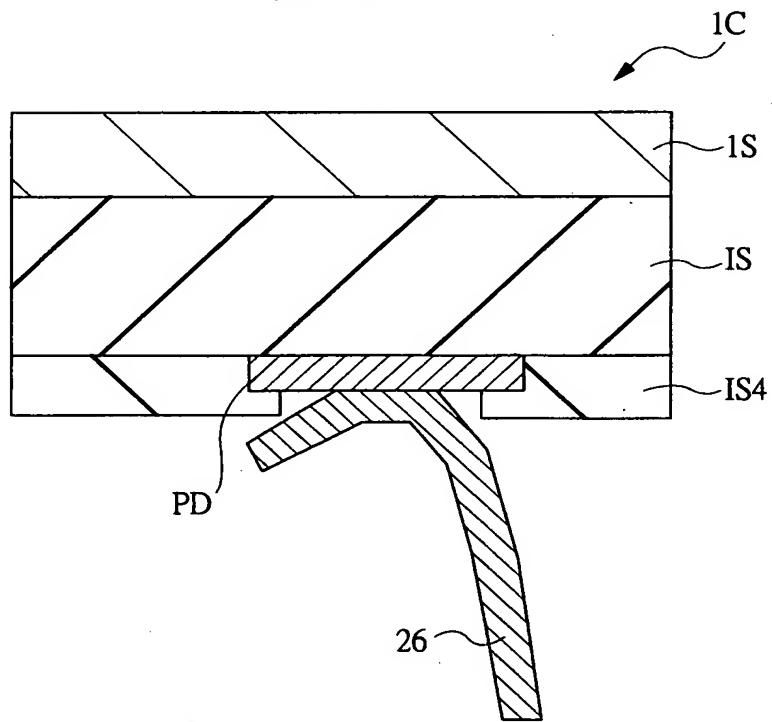
【図59】

図59



【図60】

図60



【書類名】 要約書

【要約】

【課題】 半導体チップの主面内の複数の電極パッドの高さを揃えるようにする

【解決手段】 半導体チップのアクティブ領域に配置された複数の電極パッド P D 1 ~ P D n 下の第 1 層配線 M 1 、第 2 層配線 M 2 および第 3 層配線 M 3 の配線層毎に、電極パッド P D の領域内に配置される配線の占有率が均一になるようにした。そのために、配線の占有率が他と比べて少ないところではダミー配線を配置し、配線の占有率が他と比べて多いところではスリットを入れることで配線占有率を調節した。また、第 1 層配線 M 1 、第 2 層配線 M 2 および第 3 層配線 M 3 の各配線層毎に各電極パッド P D 1 ~ P D n 下の配線の形状、寸法および配置間隔等が等しくなるようにした。

【選択図】 図 20

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ

出願人履歴情報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 千葉県茂原市早野3681番地

氏 名 日立デバイスエンジニアリング株式会社